

PATENT

Attorney Docket No.: SAM-0521

Customer No.: 29344

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant(s): Ho-Young Lee

Examiner: not yet assigned

Serial No.: 10/776,961

Group Art Unit: not yet assigned

Filing Date: February 11, 2004

Title: LEVEL SHIFTING CIRCUIT AND METHOD

CERTIFICATE OF MAILING UNDER 37 C.F.R. § 1.8

I hereby certify that this correspondence is being deposited with the United States Post Office as First Class Mail on the date indicated below in an envelope addressed to Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

2/24/04

Date

Lisa Sanders

Lisa Sanders

Commissioner for Patents

P.O. Box 1450

Alexandria, VA 22313-1450

TRANSMITTAL LETTER

Sir:

Enclosed herewith for filing in the above-identified patent application please find the following listed items:

1. Transmittal of Priority Document;
2. Certified Copy of Priority Document- Korean Application No. 03-48062; and
3. Return Postcard.

In connection with the foregoing matter, please charge any additional fees which may be due, or credit any overpayment, to Deposit Account Number 50-1798. A duplicate copy of this letter is provided for this purpose.

Respectfully submitted,

Date: 2/24/04  
Mills & Onello, LLP  
Eleven Beacon Street, Suite 605  
Boston, MA 02108  
Telephone: (617) 994-4900  
Facsimile: (617) 742-7774  
J:\SAM\0521\transprior.doc.wpd

Steven M. Mills  
Steven M. Mills  
Registration Number 36,610  
Attorney for Applicant



PATENT

Attorney Docket No.: SAM-0521

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant(s): Ho-Young Lee

Examiner: not yet assigned

Serial No.: 10/776,961

Group Art Unit: not yet assigned

Filing Date: February 11, 2004

Title: LEVEL SHIFTING CIRCUIT AND METHOD

CERTIFICATE OF MAILING UNDER 37 C.F.R. § 1.8

I hereby certify that this correspondence is being deposited with the United States Post Office as First Class Mail on the date indicated below in an envelope addressed to Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

2/24/04

Date

Lisa Sanders

Commissioner for Patents

P.O. Box 1450

Alexandria, VA 22313-1450

TRANSMITTAL OF PRIORITY DOCUMENT

Sir:

Transmittal herewith for filing in the captioned application is the certified copy of the Korean Priority document, Korean patent application 03-48062.

Respectfully submitted,

Date: 2/24/04

Mills & Onello, LLP

Eleven Beacon Street, Suite 605

Boston, MA 02108

Telephone: (617) 994-4900

Facsimile: (617) 742-7774

Steven M. Mills

Registration Number 36,610

Attorney for Applicant



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2003-0048062  
Application Number

출원 년 월 일 : 2003년 07월 14일  
Date of Application JUL 14, 2003

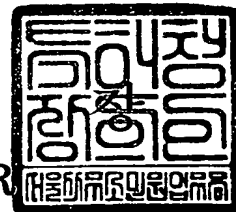
출원인 : 삼성전자주식회사  
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 10 월 10 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2003.07.14
【발명의 명칭】	레벨 쉬프터 및 레벨 쉬프팅 방법
【발명의 영문명칭】	LEVEL SHIFTER AND LEVEL SHIFTING METHOD
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	박영우
【대리인코드】	9-1998-000230-2
【포괄위임등록번호】	1999-030203-7
【발명자】	
【성명의 국문표기】	이호영
【성명의 영문표기】	LEE, Ho Young
【주민등록번호】	700202-1010311
【우편번호】	463-725
【주소】	경기도 성남시 분당구 금곡동(청솔마을) 한라아파트 303-1105
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 박영우 (인)
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	58 면 58,000 원
【우선권주장료】	0 건 0 원
【심사청구료】	63 항 2,125,000 원
【합계】	2,212,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통

**【요약서】****【요약】**

고속 디지털 신호 처리가 가능한 레벨 쉬프터 및 레벨 쉬프팅 방법이 개시된다. 저전압 레벨로 인가되는 입력 신호를 제1 및 제2 레벨 쉬프팅부에 연결된 CMOS 크로스 커플드 페어로 이루어진 래치부에 의한 정궤환 동작을 이용하여 제1 레벨 쉬프팅부 및 제2 레벨 쉬프팅부의 출력 신호의 상승 속도 또는 하강 속도를 증가시켜 고전압 레벨의 출력 신호를 제공한다. 고속 동작시에도 출력 신호의 스윙 폭과 듀티비를 유지함으로써 출력 신호의 왜곡이 없으며, 입력 신호의 천이 과정에서 발생하는 정적 전류만을 소모하고 추가적인 정적 전류를 소모하지 않으므로 전력 소모가 최소화된다.

**【대표도】**

도 5

【명세서】

【발명의 명칭】

레벨 쉬프터 및 레벨 쉬프팅 방법{LEVEL SHIFTER AND LEVEL SHIFTING METHOD}

【도면의 간단한 설명】

도 1은 일반적인 전압 레벨 쉬프터의 구체 회로도이다.

도 2는 도1의 전압 레벨 쉬프터의 출력 파형도이다.

도 3은 본 발명의 전압 레벨 쉬프터의 개략적인 구성 블록도이다.

도 4는 도 3의 전압 레벨 쉬프터의 회로의 제1 실시예를 나타낸다.

도 5는 본 발명의 바람직한 제1 실시예에 따른 전압 레벨 쉬프터의 전체 회로도를 나타낸다.

도 6은 도 3의 전압 레벨 쉬프터의 회로의 제2 실시예를 나타낸다.

도 7은 본 발명의 바람직한 제2 실시예에 따른 전압 레벨 쉬프터의 전체 회로도를 나타낸다.

도 8a는 본 발명의 바람직한 제3 실시예에 따른 전압 레벨 쉬프터의 전체 회로도를 나타낸다.

도 8b는 본 발명의 바람직한 제4 실시예에 따른 전압 레벨 쉬프터의 전체 회로도를 나타낸다.

도 9a, 9b 및 9c는 각각 도 1의 전압 레벨 쉬프터의 100MHz, 500MHz 및 1GHz의 입력 신호에 대한 출력 파형도를 나타낸다.

도 10a, 10b 및 10c는 도 4의 전압 레벨 쉬프터의 100MHz, 500MHz 및 1GHz의 입력 신호에 대한 출력 파형도를 나타낸다.

도 11a, 11b 및 11c는 도 6의 전압 레벨 쉬프터의 100MHz, 500MHz 및 1GHz의 입력 신호에 대한 출력 파형도를 나타낸다.

<도면의 주요 부분에 대한 부호의 설명>

100 : 레벨 쉬프팅부

200 : 래치부

210 : 제1 CMOS 인버터

220 : 제2 CMOS 인버터

300 : 출력 버퍼부

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<17> 본 발명은 저전압 레벨의 신호를 고전압 레벨의 신호로 변환하는 레벨 쉬프터 및 저전압 레벨의 신호를 고전압 레벨의 신호로 변환하는 레벨 쉬프팅 방법에 관한 것이다.

<18> 반도체 미세 가공 (sub-micron) 기술의 발전이 가속화됨과 더불어 반도체 회로에 사용되는 전원 전압이 계속 하강하고 있다. 현재에는 1.8V 전원 전압에서 동작하는 0.18um 공정 및 1.3V 전원 전압에서 동작하는 0.13um 공정이 일반적으로 널리 사용되고 있으며, 1V 미만에서 동작하는 90nm 이하의 공정이 개발 중이다.



- <19> 또한, 고속 디지털 통신, 고화질 고속 디스플레이 및 고용량 저장장치 등의 고속 시스템의 요구 사양을 수용하기 위해 시스템 내의 아날로그 회로 블록과 디지털 회로 블록이 멀티 파워(multi-power)를 이용하는 아키텍처(architecture)가 일반적으로 사용되고 있다.
- <20> 0.18um 공정의 경우, 아날로그 회로 블록은 3.3V 전원 전압으로 동작하는 두꺼운 게이트 트랜지스터(thick-gate transistor)를 이용하여 구현되며, 디지털 회로 블록은 1.8V의 전원 전압을 이용하는 얇은 게이트 트랜지스터(thin-gate transistor)를 이용하여 구현된다. 이때, 아날로그 회로 블록의 3.3V 신호와 디지털 회로 블록의 1.8V 신호를 인터페이스하기 위해 하이-로우(high-to-low) 전압 레벨 쉬프터 또는 로우-하이(low-to-high) 전압 레벨 쉬프터가 사용된다.
- <21> 실제 고속 시스템에서는 하이-로우(high-to-low) 전압 레벨 쉬프터보다는 로우-하이(low-to-high) 전압 레벨 쉬프터를 구현하기가 어렵다.
- <22> 특히, 전압 레벨 쉬프터가 고속 아날로그-디지털 변환기(ADC; Analog Digital Converter)의 클럭단에 사용될 경우, 전압 레벨 쉬프터 출력 신호의 스윙 폭(swing range) 및 듀티비(duty ratio) 등이 전체 아날로그-디지털 변환기(ADC)의 속도(speed) 특성을 결정하는 중요한 요소로 작용한다.
- <23> 도 1은 일반적인 전압 레벨 쉬프터의 구체 회로도이고, 도 2는 도1의 전압 레벨 쉬프터의 출력 파형도이다.
- <24> 도 1을 참조하면, 상기 종래의 전압 레벨 쉬프터는 PMOS 크로스 커플드 페어로 이루어진 제1 및 제2 PMOS 트랜지스터(M3', M4')와, 각각 상기 제1 및 제2 PMOS 트랜지스터(M3', M4')의 드레인에 결합된 제1 및 제2 NMOS 트랜지스터(M1', M2')로 구성된다.



- <25> 저전압 레벨을 가지는 입력 신호를 처리하기 위해 입력 단자(VIN)에 연결된 인버터 (INV1)는 낮은 전압 레벨을 가지는 제1 전원 전압(VDDL)에서 동작하는 얇은 게이트 트랜지스터 (thin-gate transistor)로 구현되며, 나머지 소자들은 모두 높은 전압 레벨을 가지는 제2 전원 전압(VDDH)에서 동작하는 굵은 게이트 트랜지스터(thick-gate transistor)로 구현된다.
- <26> 상기 종래의 전압 레벨 쉬프터는 저전압 레벨의 신호를 입력받아 고전압 레벨의 신호로 변환한다. 즉, 접지 전압(GND)과 제1 전원 전압(VDDL) 사이를 스윙하는 입력 신호를 입력받아 접지 전압 레벨과 제2 전원 전압(VDDH) 사이를 스윙하는 출력 신호로 출력한다.
- <27> 제1 및 제2 PMOS 트랜지스터(M3', M4')는 제2 전원 전압(VDDH)과 출력 노드(N1', N2') 사이에 위치하여 상기 제2 전원 전압(VDDH)을 출력 노드에 전달한다. 상기 제1 및 제2 NMOS 트랜지스터(M1', M2')는 게이트를 통하여 서로 반전된 위상을 가진 제1 및 제2 입력신호를 입력 단자(VIN, VINB)를 통해 입력받는다.
- <28> 이하, 도 1 및 도2를 참조하여 종래의 전압 레벨 쉬프터의 동작을 설명한다.
- <29> 제1 NMOS 트랜지스터(M1')의 게이트와 제2 NMOS 트랜지스터(M2')의 게이트에 인가된 제1 및 제2 입력신호(Vin, Vinb)에 의해 노드 N1' 및 노드 N2'에 래칭 동작을 위한 시드(seed) 전압이 공급된다. 상기 시드(seed) 전압은 최대 제1 전원 전압(VDDL) 값을 가진다.
- <30> 접지 전압 레벨에서 제1 전원 전압(VDDL)으로 상승하는 제1 입력신호(Vin)가 제2 NMOS 트랜지스터(M2')의 게이트에 인가되고, 제1 전원 전압(VDDL)에서 접지 전압 레벨로 하강하는 제2 입력신호(Vinb)가 제1 NMOS 트랜지스터(M1')의 게이트에 인가되면, 제1 NMOS 트랜지스터 (M1')는 턴오프되고, 제2 NMOS 트랜지스터(M2')는 턴온된다.

- <31> 제2 NMOS 트랜지스터(M2')는 포화영역(saturation region)에서 동작하여 방전 경로를 형성하여 초기에 제2 전원 전압(VDDH)으로 충전되어 있던 N2' 노드의 제2 전원 전압(VDDH)을 방전시킨다.
- <32> N2' 노드의 전압이  $V_{DDH} - V_{thp}$  보다 감소하게 되면 제3 트랜지스터(M3')가 턴온되어 N1' 노드의 전압이 접지 전압 레벨에서 상승되기 시작한다.
- <33> N1' 노드의 전압이  $V_{DDH} - V_{thp}$  보다 상승하게 되면, 제2 PMOS 트랜지스터(M4')가 턴오프됨으로써 크로스 커플드 페어(cross coupled pair) 결합된 PMOS 트랜지스터들(M3', M4')을 통한 정제환 동작에 의하여 전압 레벨 쉬프터의 출력 단자(VOUT)에 나타나는 출력 전압은 제2 전원 전압(VDDH)으로 상승하게 된다.
- <34> 이때, 제2 NMOS 트랜지스터(M2')를 통하여 전류가 방전되므로 상기 정제환 속도가 지연된다.
- <35> 전압 레벨 쉬프터의 동작 속도는 래칭 시드(seed) 전압을 제공하는 동작 초기의 제2 NMOS 트랜지스터에 흐르는 전류( $I_{M2}$ )에 의하여 결정된다. 포화 영역에서의 제2 NMOS 트랜지스터에 흐르는 전류( $I_{M2}$ )는 다음의 수학적 식 1과 같다.
- <36> **【수학적 식 1】** 
$$I_{M2} = \frac{\mu_n C_{ox}}{2} \left( \frac{W}{L} \right)_{M2} (V_{DDL} - V_{THN})^2$$
- <37> ( $\mu_n$ : n-채널의 전자 이동도,  $C_{ox}$ : 게이트 커패시턴스, W: 채널 폭, L: 드레인 소스간의 채널 길이,  $V_{THN}$ : NMOS 트랜지스터의 문턱 전압)
- <38> 수학적 식 1에 의하면, 제1 전원 전압(VDDL) 값에 따라서 제2 NMOS 트랜지스터에 흐르는 래칭 시드(seed) 전압과 관련된 포화 영역에서의 전류( $I_{M2}$ )가 제한되고, 제2 NMOS 트랜지스터에

흐르는 전류( $I_{M2}$ )에 의하여 제1 및 제2 PMOS 트랜지스터( $M3'$ ,  $M4'$ )에 의한 정제환 동작 속도가 제한된다.

<39> 또한, 노드  $N1'$ 에 나타나는 커패시턴스 값과 노드  $N2'$ 에 나타나는 커패시턴스 값이 서로 다르므로 출력 신호의 상승 시간(rising time) 및 하강 시간(falling time)에 차이가 발생하며 결과적으로 듀티비 특성을 열화시킨다.

<40> 또한, 종래의 전압 레벨 쉬프터에 의하면, 입력 신호의 주파수가 높아질수록 전압 레벨 쉬프터 출력 신호의 파형 스윙 폭과 듀티비(duty ratio) 특성이 급격히 열화된다.

<41> 따라서, 200MHz 이상의 고속 동작이 필요한 응용 회로에는 종래의 전압 레벨 쉬프터로는 원하는 동작 특성을 얻을 수 없다.

#### 【발명이 이루고자 하는 기술적 과제】

<42> 따라서, 본 발명의 제1 목적은 낮은 전압 레벨의 고속 입력 신호를 인가 받아 고속 동작 시에도 출력 전압 파형의 왜곡을 최소화하고 전력 소모를 최소화하여 높은 전압 레벨의 출력 신호로 변환하는 레벨 쉬프터를 제공함에 있다.

<43> 본 발명의 제2 목적은 낮은 전압 레벨의 고속 입력 신호를 인가 받아 고속 동작시에도 출력 전압 파형의 왜곡을 최소화하고 전력 소모를 최소화하여 높은 전압 레벨의 출력 신호로 변환하는 레벨 쉬프팅 방법을 제공함에 있다.

## 【발명의 구성 및 작용】

<44> 상술한 본 발명의 제1 목적을 달성하기 위한 본 발명의 일측면에 따른 레벨 쉬프터는 제1 레벨 쉬프팅부, 제2 레벨 쉬프팅부 및 래치부를 포함한다. 제1 레벨 쉬프팅부는 제1 전압 레벨과 제2 전압 레벨사이를 스윙하는 제1 입력 신호를 입력받아 상기 제1 전압 레벨과 상기 제2 전압 레벨보다 큰 제3 전압 레벨 사이를 스윙하는 제1 출력 신호를 제공하고, 제2 정제환 신호에 응답하여 상기 제1 출력 신호의 상승 속도 또는 하강 속도를 증가시킨다. 제2 레벨 쉬프팅부는 상기 제1 입력 신호와 반전된 위상을 가지는 제2 입력 신호를 입력받아 상기 제1 출력 신호와 반전된 위상을 가지고 상기 제1 전압 레벨과 상기 제3 전압 레벨 사이를 스윙하는 제2 출력 신호를 제공하고, 제1 정제환 신호에 응답하여 상기 제2 출력 신호의 상승 속도 또는 하강 속도를 증가시킨다. 래치부는 상기 제1 출력 신호 및 상기 제2 출력 신호를 입력받아 래치하고, 상기 제1 정제환 신호 및 제2 정제환 신호를 각각 상기 제2 레벨 쉬프터 및 상기 제1 레벨 쉬프팅부로 제공한다.

<45> 또한, 본 발명의 제1 목적을 달성하기 위한 본 발명의 다른 측면에 따른 레벨 쉬프터는 제1 레벨 쉬프팅부, 제2 레벨 쉬프팅부 및 래치부를 포함한다. 제1 레벨 쉬프팅부는 i) 제1 전압 레벨과 제2 전압 레벨사이를 스윙하는 제1 입력 신호를 입력받는 제어 전극과, 상기 제2 전압 레벨 보다 큰 제3 전압 레벨을 가지는 제1 전원 전압에 결합된 제1 전류 전극을 가지는 제1 트랜지스터, ii) 상기 제1 트랜지스터의 제2 전류 전극과 결합된 제1 전류전극을 가지는 제2 트랜지스터, iii) 상기 제1 전압 레벨을 가지는 제2 전원 전압과 결합된 제1 전류 전극과, 상기 제2 트랜지스터의 제2 전류 전극과 결합된 제2 전류 전극과, 상기 제1 입력 신호를 입력받는 제어 전극을 가지는 제3 트랜지스터를 포함한다. 래치부는 i) 상기 제1 전원 전압과 결합된 제1 전류 전극을 가지는 제4 트랜지스터, ii) 상기 제4 트랜지스터의 제어 전극 및 상기

제2 트랜지스터의 제어 전극과 결합된 제어 전극과, 상기 제2 전원 전압과 결합된 제1 전류 전극과, 상기 제4 트랜지스터의 제2 전류 전극 및 상기 제2 트랜지스터의 제2 전류 전극과 결합된 제2 전류 전극을 가지는 제5 트랜지스터, iii) 상기 제1 전원 전압과 결합된 제1 전류 전극을 가지는 제6 트랜지스터, iv) 상기 제5 트랜지스터의 제2 전류 전극 및 상기 제6 트랜지스터의 제어 전극과 결합된 제어 전극과, 상기 제6 트랜지스터의 제2 전류 전극에 결합된 제2 전류 전극과, 상기 제2 전원 전압과 결합된 제1 전류 전극을 가지는 제7 트랜지스터를 포함한다.

제2 레벨 쉬프팅부는 i) 상기 제1 입력 신호와 반전된 위상을 가지는 제2 입력 신호를 입력받는 제어 전극과, 상기 제1 전원 전압에 결합된 제1 전류 전극을 가지는 제8 트랜지스터, ii) 상기 제8 트랜지스터의 제2 전류 전극과 결합된 제1 전류 전극과, 상기 제3 트랜지스터의 제2 전류 전극과 결합된 제어 전극을 가지는 제9 트랜지스터, iii) 상기 제2 입력 신호를 입력받는 제어 전극과, 상기 제2 전원 전압과 결합된 제1 전류 전극과, 상기 제9 트랜지스터의 제2 전류 전극과 결합된 제2 전류 전극을 가지는 제10 트랜지스터를 포함한다.

<46> 또한, 본 발명의 제1 목적을 달성하기 위한 본 발명의 또 다른 측면에 따른 레벨 쉬프터는 제1 레벨 쉬프팅부, 제2 레벨 쉬프팅부 및 래치부를 포함한다. 제1 레벨 쉬프팅부는 제1 전압 레벨과 제2 전압 레벨 사이를 스위칭하는 제1 입력 신호를 제1 스위칭 소자와 제2 스위칭 소자의 제어 전극을 통하여 입력받고, 제3 스위칭 소자의 제어 전극을 통하여 입력된 제2 정례환 신호에 응답하여 상기 제2 스위칭 소자를 통해 흐르는 전류를 제어함으로써, 상기 제1 전압 레벨과 상기 제2 전압 레벨보다 큰 제3 전압 레벨 사이를 스위칭하는 제1 출력 신호의 상승 속도 또는 하강 속도를 증가시켜 출력한다. 제2 레벨 쉬프팅부는 상기 제1 입력 신호와 반전된 위상을 가지는 제2 입력 신호를 제4 스위칭 소자와 제5 스위칭 소자의 제어 전극을 통하여 입력받고, 제6 스위칭 소자의 제어 전극을 통하여 입력된 제1 정례환 신호에 응답하여 상기 제 5

스위칭 소자를 통해 흐르는 전류를 제어함으로써, 상기 제1 출력 신호와 반전된 위상을 가지고 상기 제1 전압 레벨과 상기 제3 전압 레벨 사이를 스윙하는 제2 출력 신호의 상승 속도 또는 하강 속도를 증가시켜 출력한다. 래치부는 상기 제1 출력 신호 및 상기 제2 출력 신호를 입력받아 래치하여 상기 제1 정제환 신호 및 상기 제2 정제환 신호로서 상기 제2 레벨 쉬프터 및 상기 제1 레벨 쉬프터부로 각각 제공한다.

<47> 또한, 본 발명의 제1 목적을 달성하기 위한 본 발명의 또 다른 측면에 따른 레벨 쉬프터는 제1 풀다운부, 제1 풀업부, 제2 풀다운부, 제2 풀업부 및 래치부를 포함한다. 제1 풀다운부는 제1 전압 레벨과 제2 전압 레벨사이를 스윙하는 제1 입력 신호에 응답하여 실질적으로 상기 제1 전압 레벨에 상응하는 제3 전압 레벨로 제1 출력단의 전압을 풀다운시킨다. 제1 풀업부는 상기 제2 전압 레벨 보다 큰 제4 전압 레벨을 가지는 제1 전원 전압을 이용하여 실질적으로 상기 제4 전원 전압 레벨에 상응하는 제5 전압 레벨로 상기 제1 출력단의 전압을 풀업시키고, 제1 정제환 신호에 응답하여 상기 제1 풀다운부에 의한 상기 제1 출력단의 전압 강하를 증가시키는 정제환 동작을 수행한다. 제2 풀다운부는 상기 제1 입력 신호와 반전된 위상을 가지는 제2 입력 신호에 응답하여 상기 제3 전압 레벨로 제2 출력단의 전압을 풀다운 시킨다. 제2 풀업부는 상기 제1 전원 전압을 이용하여 상기 제5 전압 레벨로 상기 제2 출력단의 전압을 풀업시키고, 제2 정제환 신호에 응답하여 상기 제2 풀업부에 의한 상기 제2 출력단의 전압 상승을 증가시키는 정제환 동작을 수행한다. 래치부는 상기 제1 출력단의 전압 및 상기 제2 출력단의 전압을 입력받아 래치하여 상기 제1 정제환 신호 및 제2 정제환 신호를 각각 상기 제2 풀업부 및 상기 제1 풀업부로 제공한다.

<48> 또한, 본 발명의 제1 목적을 달성하기 위한 본 발명의 또 다른 측면에 따른 레벨 쉬프터는 레벨 쉬프터부 및 래치부를 포함한다. 레벨 쉬프터부는 제1 전압 레벨과 제2 전압 레벨 사

이를 스윙하는 입력 신호를 입력받아 상기 제1 전압 레벨과 상기 제2 전압 레벨보다 큰 제3 전압 레벨 사이를 스윙하는 출력 신호를 제공하되, 정제환 신호에 응답하여 상기 출력 신호의 상승 속도 또는 하강 속도강하를 증가시키는 정제환 동작을 수행한다. 즉, 상기 레벨 쉬프팅부는 상기 정제환 신호의 상승 에지에 응답하여 상기 출력 신호의 하강 속도를 증가시키고, 상기 정제환 신호의 하강 에지에 응답하여 상기 출력 신호의 상승 속도를 증가시키는 정제환 동작을 통하여 상기 출력 신호를 출력한다. 래치부는 상기 출력 신호를 입력받아 래치하여 상기 정제환 신호를 상기 레벨 쉬프터로 제공한다.

<49> 또한, 본 발명의 제2 목적을 달성하기 위한 본 발명의 일측면에 따르면, 저전압 레벨의 신호를 고전압 레벨의 신호로 변환하는 레벨 쉬프팅 방법을 제공한다. 먼저, 제1 전압 레벨과 제2 전압 레벨사이를 스윙하는 제1 입력 신호를 입력받아 상기 제1 전압 레벨과 상기 제2 전압 레벨보다 큰 제3 전압 레벨 사이를 스윙하는 제1 출력 신호를 제공한다. 다음, 상기 제1 입력 신호와 반전된 위상을 가지는 제2 입력 신호를 입력받아 상기 제1 출력 신호와 반전된 위상을 가지고 상기 제1 전압 레벨과 상기 제3 전압 레벨 사이를 스윙하는 제2 출력 신호를 제공한다. 상기 제2 출력 신호 및 제1 출력 신호를 입력받아 래치하여 각각 제1 정제환 신호 및 제2 정제환 신호를 제공하고, 상기 제2 정제환 신호에 응답하여 상기 제1 출력 신호의 상승 속도 또는 하강 속도를 증가시켜 제3 출력 신호로 출력한다. 상기 제1 정제환 신호에 응답하여 상기 제2 출력 신호의 상승 속도 또는 하강 속도를 증가시켜 제4 출력 신호로 출력한다.

<50> 또한, 본 발명의 제2 목적을 달성하기 위한 본 발명의 다른 측면에 따르면, 저전압 레벨의 신호를 고전압 레벨의 신호로 변환하는 레벨 쉬프팅 방법을 제공한다. 먼저, 제1 전압 레벨과 제2 전압 레벨사이를 스윙하는 입력 신호를 입력받아

상기 제1 전압 레벨과 상기 제2 전압 레벨보다 큰 제3 전압 레벨 사이를 스윙하는 제1 출력 신호를 제공한다. 다음, 상기 제1 출력 신호를 입력받아 래치하여 정계환 신호를 제공하고, 상기 정계환 신호에 응답하여 상기 제1 출력 신호의 상승 속도 또는 하강 속도를 증가시켜 제2 출력 신호로 출력한다.

<51> 본 발명에 따른 전압 레벨 쉬프터는 고속 디지털 통신 장비, 액정 표시 장치(LCD; Liquid Crystal Display device), 고화질 텔레비전(HDTV; High Definition Television)과 같은 고화질 고속 디스플레이 장치, 디지털 비디오 디스크(DVD; digital video disc)와 같은 고용량(high capacity) 저장장치 및 고속 아날로그-디지털 변환기(ADC; Analog Digital Converter) 등에 적용될 수 있다.

<52> 본 발명에 따른 전압 레벨 쉬프터는 고속 동작시에도 출력 신호의 스윙 폭과 듀티비를 유지함으로써 출력 신호의 왜곡 없이 고속 디지털 입력 신호를 처리할 수 있다.

<53> 또한, 본 발명에 따른 전압 레벨 쉬프터는 고속 동작시에도 입력 신호의 천이 과정에서 발생하는 정적 전류만을 소모하고 추가적인 정적 전류를 소모하지 않으므로 전력 소모가 최소화된다.

<54> 이하, 첨부한 도면들을 참조하여, 본 발명의 바람직한 실시예를 보다 상세하게 설명하고자 한다.

<55> 도 3은 본 발명의 일실시예에 따른 전압 레벨 쉬프터의 개략적인 구성 블록도이다.

<56> 도 3을 참조하면, 본 발명의 일실시예에 따른 전압 레벨 쉬프터는 레벨 쉬프팅부(100), 래치부(200) 및 출력 버퍼부(300)를 포함한다.



<57> 레벨 쉬프팅부(100)는 접지 전압 레벨(GND)과 제1 전원 전압(VDDL) 사이를 스윙하는 제1 입력 신호(101) 및 제2 입력 신호(103)를 제1 입력 단자(VIN) 및 제2 입력 단자(VINB)를 통하여 입력받아 증폭하여 접지 전압 레벨과 제2 전원 전압(VDDH) 사이를 스윙하는 제1 출력 신호(102) 및 제2 출력 신호(104)를 출력한다. 이때, 제2 입력 신호(103)는 제1 입력 신호(101)의 위상과 반전된 위상을 가지며, 제1 전원 전압(VDDL)은 저전압 레벨을 가지고, 제2 전원 전압(VDDH)은 제1 전원 전압(VDDL)보다 큰 고전압 레벨을 가진다. 예를 들어, 제1 전원 전압(VDDL)은 약 1.6 볼트 내지 1.8 볼트, 제2 전원 전압(VDDH)은 3.0 볼트 내지 3.3 볼트이다.

<58> 래치부(200)는 레벨 쉬프팅부(100)의 제2 전원 전압 레벨(VDDH)로 증폭된 제1 및 제2 출력 신호(102, 104)를 초기 시드(seed) 전압으로 사용하여 래치(latch)시킨 제1 정제환 신호(203) 및 제2 정제환 신호(201)를 레벨 쉬프팅부(100)로 피드백시켜 제공한다. 레벨 쉬프팅부(100)는 제1 정제환 신호(203) 및 제2 정제환 신호(201)에 의하여 제1 및 제2 출력 신호(102, 104)의 로우 레벨에서 하이 레벨로의 상승 속도를 증가시키고 하이 레벨에서 로우 레벨로의 하강 속도를 증가시켜 제3 출력 신호(202) 및 제4 출력 신호(204)로 각각 출력한다.

<59> 출력 버퍼부(300)는 제3 출력 신호(202) 및 제4 출력 신호(204)를 버퍼링하고, 제3 출력 신호(202) 및 제4 출력 신호(204)의 상승 시간과 하강 시간을 실질적으로 동일하도록 유지시켜 제5 출력 신호(302) 및 제6 출력 신호(304)를 제1 출력 단자(VOUT) 및 제2 출력 단자(VOUTB)를 통하여 출력한다.

<60> <제1 실시예>

<61> 도 4는 도 3의 전압 레벨 쉬프터의 회로도의 제1 실시예를 나타낸다.

- <62> 도 4를 참조하면, 레벨 쉬프팅부(100)는 M1 및 M5의 NMOS 트랜지스터와 M2, M4, M6 및 M8의 PMOS 트랜지스터로 이루어진다.
- <63> 래치부(200)는 제1 CMOS 인버터(210)와 제2 CMOS 인버터(220)로 이루어진 CMOS 크로스 커플드 페어(cross coupled pair) 구조를 가진다. 래치부(200)는 래치 기능을 수행하는 회로라면 도 4에 도시된 CMOS 크로스 커플드 페어 인버터에 한정되지 않으며, 본 발명이 속하는 기술 분야에서 변형 가능한 다른 회로도 가능함은 물론이다. 예를 들어, 래치부(200)는 크로스 커플드 페어 구조를 가진 NMOS NOR 게이트들로 구성될 수도 있다.
- <64> 출력 버퍼부(300)는 제1 출력 버퍼부(300a)와 제2 출력 버퍼부(300b)로 이루어진다. 제1 출력 버퍼부(300a)와 제2 출력 버퍼부(300b)는, 예를 들어, 각각 제1 인버터 및 제2 인버터로 이루어질 수 있다.
- <65> 도 5는 본 발명의 바람직한 제1 실시예에 따른 전압 레벨 쉬프터의 전체 회로도를 나타낸다.
- <66> 도 5를 참조하면, 본 발명의 전압 레벨 쉬프터는 제1 레벨 쉬프팅부(100a1), 제2 레벨 쉬프팅부(100b1), 래치부(200), 제1 출력 버퍼부(300a) 및 제2 출력 버퍼부(300b)를 포함한다.
- <67> 제1 레벨 쉬프팅부(100a1)는 제1 풀업부(110a1) 및 제1 풀다운부(120a1)로 이루어진다. 제1 풀다운부(120a1)는 제1 NMOS 트랜지스터(M1)로 이루어지며, 제1 풀업부(110a1)는 제2 및 제4 PMOS 트랜지스터들(M2, M4)로 이루어진다.
- <68> 제2 PMOS 트랜지스터(M2)는 게이트가 제2 입력 단자(VINB)에 연결되고, 소오스가 제2 전원 전압(VDDH)에 연결된다. 제4 PMOS 트랜지스터(M4)는 게이트가 래치부(200)의 출력 노드인 N2에 연결되고, 드레인이 제1 NMOS 트랜지스터(M1)의 드레인에 연결되고, 소오스가 제2 PMOS

트랜지스터(M2)의 드레인에 연결된다. 제1 NMOS 트랜지스터(M1)는 게이트가 제2 입력 단자(VINB)에 연결되고, 소오스가 접지로 연결된다.

<69> 제1 레벨 쉬프팅부(100a1)는 접지 전압 레벨과 저전압 레벨의 제1 전원 전압(VDDL) 사이를 스윙하는 제2 입력 신호(103)를 제2 입력 단자(VINB)를 통하여 입력받아 전압 레벨을 증폭하여 접지 전압 레벨과 고전압 레벨의 제2 전원 전압(VDDH) 사이를 스윙하는 제2 출력 신호(104)를 출력한다.

<70> 제2 레벨 쉬프팅부(100b1)는 제2 풀업부(110b1) 및 제2 풀다운부(120b1)로 이루어진다. 제2 풀다운부(120b1)는 제5 NMOS 트랜지스터(M5)로 이루어지며, 제2 풀업부(110b1)는 제6 및 제8 PMOS 트랜지스터들(M6, M8)로 이루어진다.

<71> 제6 PMOS 트랜지스터(M6)는 게이트가 제1 입력 단자(VIN)에 연결되고, 소오스가 제2 전원 전압(VDDH)에 연결된다. 제8 PMOS 트랜지스터(M8)는 게이트가 래치부(200)의 출력 노드인 N1에 연결되고, 드레인이 제5 NMOS 트랜지스터(M5)의 드레인에 연결되고, 소오스가 제6 NMOS 트랜지스터(M6)의 드레인에 연결된다. 제5 NMOS 트랜지스터(M5)는 게이트가 제1 입력 단자(VIN)에 연결되고, 소오스가 접지로 연결된다.

<72> 제2 레벨 쉬프팅부(100b1)는 접지 전압 레벨과 저전압 레벨의 제1 전원 전압(VDDL) 사이를 스윙하는 제1 입력 신호(101)를 제1 입력 단자(VIN)를 통하여 입력받아 전압 레벨을 증폭하여 접지 전압 레벨과 고전압 레벨의 제2 전원 전압(VDDH) 사이를 스윙하는 제1 출력 신호(102)를 출력한다.

<73> 이때, 제2 입력 신호(103)는 제1 입력 신호(101)의 위상과 반전된 위상을 가진다.

- <74> 래치부(200)는 제1 CMOS 인버터(210)와 제2 CMOS 인버터(220)로 이루어진 CMOS 크로스 커플드 페어(cross coupled pair) 구조를 가진다. 구체적으로, 래치부(200)는 2개의 PMOS 트랜지스터(M10, M12)와 2개의 NMOS 트랜지스터(M9, M11)로 이루어진다.
- <75> 제10 PMOS 트랜지스터(M10)의 소오스는 제2 전원 전압(VDDH)에 연결되고, 게이트는 제2 레벨 쉬프팅부(100b1)의 출력 노드인 N2 노드에 연결되며, 드레인은 제1 레벨 쉬프팅부(100a1)의 출력 노드인 N1 노드에 연결된다. 제12 PMOS 트랜지스터(M12)의 소오스는 제2 전원 전압(VDDH)에 연결되고, 게이트는 제1 레벨 쉬프팅부(100a1)의 출력 노드인 N1 노드에 연결되며, 드레인은 제2 레벨 쉬프팅부(100b1)의 출력 노드인 N2 노드에 연결된다. 제9 NMOS 트랜지스터(M9)의 드레인은 제10 PMOS 트랜지스터(M10)의 드레인에 연결되며, 게이트는 제10 PMOS 트랜지스터(M10)의 게이트에 연결되고, 소오스는 접지로 연결된다. 제11 NMOS 트랜지스터(M11)의 드레인은 제12 PMOS 트랜지스터(M12)의 드레인에 연결되며, 게이트는 제12 PMOS 트랜지스터(M12)의 게이트에 연결되고, 소오스는 접지로 연결된다.
- <76> 제1 출력 버퍼부(300a)는 하나의 PMOS 트랜지스터(M14)와 하나의 NMOS 트랜지스터(M13)로 이루어진다. 제14 PMOS 트랜지스터(M14)의 소오스는 제2 전원 전압(VDDH)에 연결되고, 게이트는 제1 레벨 쉬프팅부(100a1)의 출력 노드인 N1 노드에 연결된다. 제13 NMOS 트랜지스터(M13)의 드레인은 제14 PMOS 트랜지스터(M14)의 드레인에 연결되고, 게이트는 제14 PMOS 트랜지스터(M14)의 게이트에 연결되며, 소오스는 접지로 연결된다.
- <77> 제2 출력 버퍼부(300b)는 하나의 PMOS 트랜지스터(M16)와 하나의 NMOS 트랜지스터(M15)로 이루어진다. 제16 PMOS 트랜지스터(M16)의 소오스는 제2 전원 전압(VDDH)에 연결되고, 게이트는 제2 레벨 쉬프팅부(100b)의 출력 노드인 N2 노드에 연결된다. 제15 NMOS 트랜지스터

(M15)의 드레인은 제16 PMOS 트랜지스터(M16)의 드레인에 연결되고, 게이트는 제16 PMOS 트랜지스터(M16)의 게이트에 연결되며, 소오스는 접지로 연결된다.

<78> 여기서, 제1 레벨 쉬프팅부(100a1), 제2 레벨 쉬프팅부(100b1), 래치부(200), 제1 출력 버퍼부(300a) 및 제2 출력 버퍼부(300b)는 고전압 레벨의 제2 전원 전압(VDDH)과 연결되고, 제1 입력 신호(101)를 입력받아 제2 입력 신호(103)를 생성하기 위한 인버터(INV1)는 저전압 레벨의 제1 전원 전압(VDDL)에 연결된다.

<79> 이하, 도 5를 참조하여 본 발명의 제1 실시예에 따른 전압 레벨 쉬프터의 동작을 설명한다.

<80> 먼저, 제1 입력 단자(VIN)로 제1 전원 전압(VDDL)이 인가된 경우에는, 제2 입력 단자(VINB)에는 접지 전압 레벨이 인가되고, 제2 트랜지스터(M2)가 턴온되고 제1 트랜지스터(M1)가 턴오프되므로 노드 N1에는 실질적으로 VDDH 전압이 충전되며, 제5 트랜지스터(M5)가 턴온되어 노드 N2는 방전이 일어나 GND가 출력된다. 그 결과, 제16 트랜지스터(M16)가 턴온되고 제15 트랜지스터(M15)는 턴오프되어 출력 단자(VOUT)에는 실질적으로 VDDH가 출력된다. 예를 들어, 제1 전원 전압(VDDL)으로 1.6 volts를 사용하고, 제2 전원 전압(VDDH)으로 3.0 volts를 사용하는 경우에는, 출력 단자(VOUT)에는 약 3 volts의 전압이 출력된다.

<81> 제1 입력 단자(VIN)에 제1 전원 전압(VDDL)이 인가된 상태에서는 제2 트랜지스터(M2)는 턴온되지만 제1 트랜지스터(M1)는 턴오프되어 전류 경로가 형성되지 않으므로 제1 레벨 쉬프팅부(100a1)에는 정적 전류(static current)가 흐르지 않는다. 또한, 제2 레벨 쉬프팅부(100b1)에서도 제8 트랜지스터(M8)가 턴오프되어 전류 경로가 형성되지 않으므로 정적 전류(static current)가 흐르지 않는다.

- <82> 제1 입력 단자(VIN)로 제1 전원 전압(VDDL)에서 접지 전압(GND)으로 천이되는 제1 입력 신호(101)가 인가되면, 제2 입력 단자(VINB)에는 GND에서 VDDL로 상승하는 전압이 인가된다.
- <83> 제2 레벨 쉬프팅부(100b1)에서는, 제1 전원 전압(VDDL)에서 접지 전압(GND)으로 천이 되는 제1 입력 신호(101)에 의하여 제6 트랜지스터(M6)는 턴온되고 제5 트랜지스터(M5)는 턴오프 된다. 제8 트랜지스터(M8)는 N1 노드의 초기 전압 VDDH에 의하여  $VDDH - V_{THP}$  이하로 감소할 때까지는 턴오프 상태를 유지한다.
- <84> 제1 레벨 쉬프팅부(100a1)에서는, 제1 전원 전압(VDDL)에서 접지 전압(GND)으로 천이 되는 제1 입력 신호(101)에 의하여 제1 및 제2 트랜지스터(M1, M2)가 턴온된다. 이 경우, 제1 트랜지스터(M1)에 의하여 방전되는 전류가 제2 및 제4 트랜지스터(M2, M4)에 의하여 공급되는 전류보다 크도록 M1, M2의 트랜지스터 사이즈를 조정할 수 있다. N1 노드는 초기의 VDDH에서 GND로 방전이 일어난다.
- <85> N1 노드의 전압은 제1 및 제2 트랜지스터(M1, M2)에 흐르는 전류에 의해 결정할 수 있으며, 제1 및 제2 트랜지스터(M1, M2)의 전류 구동 능력을 비교하기 위하여 제1 및 제2 트랜지스터(M1, M2) 모두 포화 영역에서 동작한다고 가정하면, 제1 및 제2 트랜지스터(M1, M2)에 흐르는 전류는 다음과 같다.

<86> **【수학식 2】** 
$$I_{M1} = \frac{\mu_N C_{ox}}{2} \left(\frac{W}{L}\right)_{M1} (VDDL - V_{THN})^2$$

<87> **【수학식 3】** 
$$I_{M2} = \frac{\mu_P C_{ox}}{2} \left(\frac{W}{L}\right)_{M2} (VDDH - VDDL - V_{THP})^2$$

- <88> ( $\mu_n$  : n-채널의 전자 이동도,  $\mu_p$  : p-채널의 정공 이동도,  $C_{ox}$  : 게이트 커패시턴스, W: 채널 폭, L: 드레인 소스간의 채널 길이,  $V_{THN}$  : NMOS 트랜지스터의 문턱 전압,  $V_{THP}$  : PMOS 트랜지스터의 문턱 전압)
- <89> 제1 트랜지스터(M1)를 통하여 방전되는 전류가 제2 트랜지스터(M2)에서 충전되는 전류보다 커야 하므로,  $I_{M1} > I_{M2}$ 가 되며, 수학적 식 2와 3에 의하여 제1 트랜지스터(M1) 및 제2 트랜지스터(M2)의 사이즈는 다음 수학적 식 4 및 5를 이용하여 결정할 수 있다.
- <90> **【수학적 식 4】** 
$$\left(\frac{W}{L}\right)_{M1} > R \left(\frac{W}{L}\right)_{M2}$$
- <91> **【수학적 식 5】** 
$$R = \frac{\mu_p (V_{DDH} - V_{DDL} - V_{THP})^2}{\mu_n (V_{DDL} - V_{THN})^2}$$
- <92> 여기서, R 값은 공정 조건, VDDH 및 VDDL 값에 의해 결정된다. 예를 들어, 0.18um 공정을 사용하여 R=0.9로 설계하여 제1 트랜지스터(M1)와 제2 트랜지스터(M2)의 사이즈를 정할 수 있다. 마찬가지로 방법으로, 제5 트랜지스터(M5)와 제6 트랜지스터(M6)의 사이즈를 정할 수 있다.
- <93> 제1, 제2, 제5 및 제6 트랜지스터(M1, M2, M5, M6)의 사이즈는 제9, 제10, 제11 및 제12 트랜지스터(M9, M10, M11, M12) 사이즈 보다 큰 것이 바람직하다. 예를 들어, 제1, 제2, 제5 및 제6 트랜지스터(M1, M2, M5, M6)의 사이즈는 제9, 제10, 제11 및 제12 트랜지스터(M9, M10, M11, M12) 사이즈의 약 4배가 되도록 할 수 있다.
- <94> 또한, 제3, 제4, 제7 및 제8 트랜지스터(M3, M4, M7, M8) 사이즈는 스위칭 동작을 수행하므로 전류 흐름에 영향을 주지 않을 정도의 사이즈를 갖는다. 예를 들어, 제3, 제4, 제7 및

제8 트랜지스터(M3, M4, M7, M8) 사이즈는 제9, 제10, 제11 및 제12 트랜지스터(M9, M10, M11, M12) 사이즈의 약 5배의 값을 가질 수 있다.

<95> 방전되는 N1 노드 전압이  $V_{DDH} - V_{THP}$  이하로 감소하면, 턴오프되어 있던 제2 레벨 쉬프팅부(100b1)의 제8 트랜지스터(M8)가 턴온되어 N2 노드 전압은 제6 및 제8 트랜지스터(M6, M8)에 의한 전류 경로에 의하여 상승하게 된다. 상승된 N2 노드 전압은 제1 레벨 쉬프팅부(100a1)의 턴온 상태의 제4 PMOS 트랜지스터(M4)를 통하여 흐르는 전류를 감소시킴으로써 방전되는 N1 노드에서의 전압 강하를 더욱 가속시키는 정kehran 동작이 이루어진다. 이러한 N1 노드와 N2 노드에 의한 정kehran 동작은 래치부(200)의 CMOS 페어 래치에 의해 더욱 가속된다. 즉, 래치부(200)의 제1 CMOS 인버터(210)의 출력 노드인 N1 전압이 제1 정kehran 신호(203)로서 제2 레벨 쉬프팅부(100b1)의 제8 트랜지스터(M8)의 게이트로 인가되며, 래치부(200)의 제2 CMOS 인버터(220)의 출력 노드인 N2 전압이 제2 정kehran 신호(201)로서 제1 레벨 쉬프팅부(100a1)의 제4 트랜지스터(M4)의 게이트로 인가된다. 제1 정kehran 신호(203) 및 제2 정kehran 신호(201)에 의하여 제1 및 제2 출력 신호(102, 104)의 천이시 로우 레벨에서 하이 레벨로의 상승 속도가 증가되고, 하이 레벨에서 로우 레벨로의 하강 속도가 증가된다. 그 결과, N1 노드는 GND로 떨어지며, N2 노드는 VDDH로 상승하게 된다.

<96> 제1 및 제2 출력 버퍼부(300a, 300b)의 NMOS 트랜지스터(M13, M15)와 PMOS 트랜지스터(M14, M16)의 사이즈 관계는 예를 들어, NMOS트랜지스터: PMOS 트랜지스터=1:1 또는 1:1.5로 할 수 있다. 따라서, NMOS 트랜지스터(M13, M15)를 통하여 방전되는 전류가 충전되는 전류보다 크도록 유지하여 최종 출력 신호의 듀티비를 조정할 수 있다.

<97> 제1 입력 단자(VIN)로 제1 입력 신호(101)가 제1 전원 전압(VDDL)에서 접지 전압(GND)으로의 천이가 종료되어 GND 레벨이 인가되면, 제1 레벨 쉬프팅부(100a1)에서는, 제4



트랜지스터(M4)의 게이트에는 N2 노드의 VDDH가 인가되므로 제4 트랜지스터(M4)가 턴오프된다.

<98> 접지 전압 레벨(GND)을 가지는 제1 입력 신호(101)가 제1 입력 단자(VIN)로 인가되는 상태에서 제1 레벨 쉬프팅부(100a1)는 제4 트랜지스터(M4)가 턴오프되어 전류 경로가 형성되지 않으므로 정적 전류(static current)가 흐르지 않는다. 또한, 제2 레벨 쉬프팅부(100b1)에서는 제5 트랜지스터(M5)가 턴오프되어 전류 경로가 형성되지 않으므로 정적 전류(static current)가 흐르지 않는다.

<99> 즉, 제1 및 제2 레벨 쉬프팅부(100a1, 100b1)에서는 제1 입력 신호(101)가 GND에서 VDDL(또는 VDDL에서 GND)로 천이 되는 동안에 발생하는 동적 전류만이 소모되고, 천이가 완료된 상태에서는 정적 전류가 흐르지 않으므로 저전력의 레벨 쉬프터를 구현할 수 있다.

<100> 이때, 도1의 종래의 전압 레벨 쉬프터에서는 N1', N2' 노드로 제1 및 제2 입력 신호가 NMOS 트랜지스터(M1', M2')를 통하여 직접 인가되지만, 도 5의 본 발명의 전압 레벨 쉬프터에서는 N1 및 N2 노드로 제1 레벨 쉬프팅부(101a1)의 M1, M2, M4 및 제2 레벨 쉬프팅부(101b1)의 M5, M6 및 M8을 통하여 제1 및 제2 입력신호(101, 103)가 인가된다. 즉, 본 발명의 전압 레벨 쉬프터는 제1 및 제2 레벨 쉬프팅부(100a1, 100b1)를 통해 제2 전원 전압(VDDH)까지 증폭된 제1 및 제2 출력 신호(102, 104)가 래칭 시드(seed) 전압으로 래치부(200)에 공급된다.

<101> 따라서, 래칭 시드(seed) 전압이 CMOS 커플드 페어로 이루어진 래치부(200)의 출력노드(N1, N2)에 직접 인가되므로 래칭 동작의 초기 시간 지연을 최소화하여 래칭 속도가 향상된다.

<102> 또한, 래칭 동작이 CMOS 크로스 커플드 페어를 통하여 이루어지므로, 래칭 동작시 전류 흐름을 방해하는 경로가 없어 래칭 속도가 향상된다.

<103> <제2 실시예>

<104> 도 6은 도 3의 전압 레벨 쉬프터의 회로의 제2 실시예를 나타낸다.

<105> 도 6을 참조하면, 레벨 쉬프팅부(100)는 M1, M3, M5 및 M7의 NMOS 트랜지스터와 M2, M4, M6 및 M8의 PMOS 트랜지스터로 이루어진다.

<106> 래치부(200)는 제1 CMOS 인버터(210)와 제2 CMOS 인버터(220)로 이루어진 CMOS 크로스 커플드 페어(cross coupled pair) 구조를 가진다. 래치부(200)는 래치 기능을 수행하는 회로라면 도 6에 도시된 CMOS 크로스 커플드 페어 인버터에 한정되지 않으며, 본 발명이 속하는 기술 분야에서 변형 가능한 다른 회로도 가능함은 물론이다. 예를 들어, 래치부(200)는 크로스 커플드 페어 구조를 가진 NMOS NOR 게이트들로 구성될 수도 있다.

<107> 출력 버퍼부(300)는 제1 출력 버퍼부(300a)와 제2 출력 버퍼부(300b)로 이루어진다. 제1 출력 버퍼부(300a)와 제2 출력 버퍼부(300b)는, 예를 들어, 각각 제1 인버터 및 제2 인버터로 이루어질 수 있다.

<108> 도 7은 본 발명의 바람직한 제2 실시예에 따른 전압 레벨 쉬프터의 전체 회로도도를 나타내며, 도 11b는 도 7의 전압 레벨 쉬프터의 500MHz의 입력 신호에 대한 출력 파형도를 나타낸다.

<109> 도 7을 참조하면, 본 발명의 전압 레벨 쉬프터는 제1 레벨 쉬프팅부(100a2), 제2 레벨 쉬프팅부(100b2), 래치부(200), 제1 출력 버퍼부(300a) 및 제2 출력 버퍼부(300b)를 포함한다.

- <110> 제1 레벨 쉬프팅부(100a2)는 제1 풀업부(110a2) 및 제1 풀다운부(120a2)로 이루어진다. 제1 풀다운부(120a2)는 제1 NMOS 트랜지스터(M1)로 이루어지며, 제1 풀업부(110a2)는 제3 NMOS 트랜지스터(M3)와 제2 및 제4 PMOS 트랜지스터들(M2, M4)로 이루어진다.
- <111> 제2 PMOS 트랜지스터(M2)는 게이트가 제2 입력 단자(VINB)에 연결되고, 소오스가 제2 전원 전압(VDDH)에 연결된다. 제3 NMOS 트랜지스터(M3)는 게이트가 제1 입력 단자(VIN)에 연결되고, 드레인이 제2 PMOS 트랜지스터(M2)의 드레인에 연결된다. 제4 PMOS 트랜지스터(M4)는 게이트가 래치부(200)의 출력 노드인 N2에 연결되고, 소오스가 제3 NMOS 트랜지스터(M3)의 드레인에 연결되고, 드레인이 제3 NMOS 트랜지스터(M3)의 소오스에 연결된다. 제1 NMOS 트랜지스터(M1)는 게이트가 제2 입력 단자(VINB)에 연결되고, 드레인이 제3 NMOS 트랜지스터(M3)의 소오스에 연결되고, 소오스가 접지로 연결된다.
- <112> 제1 레벨 쉬프팅부(100a2)는 접지 전압 레벨과 저전압 레벨의 제1 전원 전압(VDDL) 사이를 스윙하는 제1 입력 신호(101) 및 제2 입력 신호(103)를 제1 입력 단자(VIN) 및 제2 입력 단자(VINB)를 통하여 입력받아 전압 레벨을 증폭하여 접지 전압 레벨과 고전압 레벨의 제2 전원 전압(VDDH) 사이를 스윙하는 제1 출력 신호(102)를 출력한다. 이때, 제2 입력 신호(103)는 제1 입력 신호(101)의 위상과 반전된 위상을 가진다.
- <113> 제2 레벨 쉬프팅부(100b2)는 제2 풀업부(110b2) 및 제2 풀다운부(120b2)로 이루어진다. 제2 풀다운부(120b2)는 제5 NMOS 트랜지스터(M5)로 이루어지며, 제2 풀업부(110b2)는 제7 NMOS 트랜지스터(M7)와 제6 및 제8 PMOS 트랜지스터들(M6, M8)로 이루어진다.
- <114> 제6 PMOS 트랜지스터(M6)는 게이트가 제1 입력 단자(VIN)에 연결되고, 소오스가 제2 전원 전압(VDDH)에 연결된다. 제7 NMOS 트랜지스터(M7)는 게이트가 제2 입력 단자(VINB)에 연결되고, 드레인이 제6 PMOS 트랜지스터(M6)의 드레인에 연결된다. 제8 PMOS 트랜지스터(M8)는

게이트가 래치부(200)의 출력 노드인 N1에 연결되고, 소오스가 제7 NMOS 트랜지스터(M7)의 드레인에 연결되고, 드레인이 제7 NMOS 트랜지스터(M7)의 소오스에 연결된다. 제5 NMOS 트랜지스터(M5)는 게이트가 제1 입력 단자(VIN)에 연결되고, 드레인이 제7 NMOS 트랜지스터(M7)의 소오스에 연결되고, 소오스가 접지로 연결된다.

<115> 래치부(200)는 2개의 크로스 커플드 페어(cross coupled pair) 인버터들(210 220)로 이루어진다. 구체적으로, 래치부(200)는 2개의 PMOS 트랜지스터(M10, M12)와 2개의 NMOS 트랜지스터(M9, M11)로 이루어진다.

<116> 제10 PMOS 트랜지스터(M10)의 소오스는 제2 전원 전압(VDDH)에 연결되고, 게이트는 제2 레벨 쉬프팅부(100b)의 출력 노드인 N2 노드에 연결되며, 드레인은 제1 레벨 쉬프팅부(100a)의 출력 노드인 N1 노드에 연결된다. 제12 PMOS 트랜지스터(M12)의 소오스는 제2 전원 전압(VDDH)에 연결되고, 게이트는 제1 레벨 쉬프팅부(100a)의 출력 노드인 N1 노드에 연결되며, 드레인은 제2 레벨 쉬프팅부(100b)의 출력 노드인 N2 노드에 연결된다. 제9 NMOS 트랜지스터(M9)의 드레인은 제10 PMOS 트랜지스터(M10)의 드레인에 연결되며, 게이트는 제10 PMOS 트랜지스터(M10)의 게이트에 연결되고, 소오스는 접지로 연결된다. 제11 NMOS 트랜지스터(M11)의 드레인은 제12 PMOS 트랜지스터(M12)의 드레인에 연결되며, 게이트는 제12 PMOS 트랜지스터(M12)의 게이트에 연결되고, 소오스는 접지로 연결된다.

<117> 제1 출력 버퍼부(300a)는 하나의 PMOS 트랜지스터(M14)와 하나의 NMOS 트랜지스터(M13)로 이루어진다. 제14 PMOS 트랜지스터(M14)의 소오스는 제2 전원 전압(VDDH)에 연결되고, 게이트는 제1 레벨 쉬프팅부(100a2)의 출력 노드인 N1 노드에 연결된다. 제13 NMOS 트랜지스터(M13)의 드레인은 제14 PMOS 트랜지스터(M14)의 드레인에 연결되고, 게이트는 제14 PMOS 트랜지스터(M14)의 게이트에 연결되며, 소오스는 접지로 연결된다.

- <118> 제2 출력 버퍼부(300b)는 하나의 PMOS 트랜지스터(M16)와 하나의 NMOS 트랜지스터(M15)로 이루어진다. 제16 PMOS 트랜지스터(M16)의 소오스는 제2 전원 전압(VDDH)에 연결되고, 게이트는 제2 레벨 쉬프팅부(100b2)의 출력 노드인 N2 노드에 연결된다. 제15 NMOS 트랜지스터(M15)의 드레인은 제16 PMOS 트랜지스터(M16)의 드레인에 연결되고, 게이트는 제16 PMOS 트랜지스터(M16)의 게이트에 연결되며, 소오스는 접지로 연결된다.
- <119> 여기서, 제1 레벨 쉬프팅부(100a2), 제2 레벨 쉬프팅부(100b2), 래치부(200), 제1 출력 버퍼부(300a) 및 제2 출력 버퍼부(300b)는 고전압 레벨의 제2 전원 전압(VDDH)과 연결되고, 제1 입력 신호(101)를 입력받아 제2 입력 신호(103)를 생성하기 위한 인버터(INV1)는 저전압 레벨의 제1 전원 전압(VDDL)에 연결된다.
- <120> 이하, 도 7 및 도 11b를 참조하여 본 발명의 제2 실시예에 따른 전압 레벨 쉬프터의 동작을 설명한다.
- <121> 전체적으로, 본 발명의 일 실시예에 따른 전압 레벨 쉬프터는 CMOS 페어 래치로 이루어진 래치부(200)에서 정keh환 동작을 더욱 가속시키는 최종적인 정keh환 동작을 수행한다. 이러한 정keh환 동작의 시드(seed) 전압은 제1 및 제2 레벨 쉬프팅부(100a2, 100b2)에서 CMOS 페어 래치의 출력 노드(N1, N2)로 제공된다. 제1 및 제2 출력 버퍼부(300a, 300b)를 통하여 저전압 레벨에서 고전압 레벨로 변환된 출력 신호가 출력된다.
- <122> 먼저, 제1 입력 단자(VIN)로 제1 전원 전압(VDDL)이 인가된 경우에는, 제2 입력 단자(VINB)에는 접지 전압 레벨의 GND가 인가되고, 제2 및 제3 트랜지스터(M2, M3)가 턴온되고 제1 트랜지스터(M1)가 턴오프되므로 노드 N1에는 실질적으로 VDDH 전압이 충전되며, 제5 트랜지스터(M5)가 턴온되어 노드 N2는 방전이 일어나 GND가 출력된다. 그 결과, 제16 트랜지스터

(M16)가 턴온되고 제15 트랜지스터(M15)는 턴오프되어 출력 단자(VOUT)에는 실질적으로 VDDH가 출력된다. 예를 들어, 제1 전원 전압(VDDL)으로 1.6 volts를 사용하고, 제2 전원 전압(VDDH)으로 3.0 volts를 사용하는 경우에는, 도 7에 도시된 바와 같이, 출력 단자(VOUT)에는 약 3 volts의 전압이 출력된다.

<123> 제1 입력 단자(VIN)에 제1 전원 전압(VDDL)이 인가된 상태에서는 제2 및 제3 트랜지스터(M2, M3)는 턴온되지만 제1 트랜지스터(M1)는 턴오프되어 전류 경로가 형성되지 않으므로 제1 레벨 쉬프팅부(100a2)에는 정적 전류(static current)가 흐르지 않는다. 또한, 제2 레벨 쉬프팅부(100b2)에서는 제7 및 제8 트랜지스터(M7, M8)가 턴오프되어 전류 경로가 형성되지 않으므로 정적 전류(static current)가 흐르지 않는다.

<124> 제1 입력 단자(VIN)로 제1 전원 전압(VDDL)에서 접지 전압(GND)으로 천이되는 제1 입력 신호(101)가 인가되면, 제2 입력 단자(VINB)에는 GND에서 VDDL로 상승하는 전압이 인가된다.

<125> 제2 레벨 쉬프팅부(100b2)에서는, 제1 전원 전압(VDDL)에서 접지 전압(GND)으로 천이 되는 제1 입력 신호(101)에 의하여 제6 및 제7 트랜지스터(M6, M7)는 턴온되고 제5 트랜지스터(M5)는 턴오프되므로 노드 N2에는 초기의 GND 상태에서 제7 NMOS 트랜지스터(M7)의 소스 전압인  $VDDL - V_{THN}$ 만큼 상승하게 된다. 제8 트랜지스터(M8)는 N1 노드의 초기 전압 VDDH에 의하여  $VDDH - V_{THP}$  이하로 감소할 때까지는 턴오프 상태를 유지한다.

<126> 제1 레벨 쉬프팅부(100a2)에서는, 제1 전원 전압(VDDL)에서 접지 전압(GND)으로 천이 되는 제1 입력 신호(101)에 의하여 제1, 제2 및 제4 트랜지스터(M1, M2, M4)가 턴온된다. 이 경우, 제1 트랜지스터(M1)에 의하여 방전되는 전류가 제2 및 제4 트랜지스터(M2, M4)에 의하여

공급되는 전류보다 크도록 M1, M2의 트랜지스터 사이즈를 조정할 수 있다. N1 노드는 초기의 VDDH에서 GND로 방전이 일어난다.

<127> 제1 트랜지스터(M1)와 제2 트랜지스터(M2)의 사이즈 값은 수학식 2 내지 수학식 5에 의하여 정할 수 있다. 예를 들어, 0.18um 공정을 사용하여  $R=0.9$ 로 설계하여 제1 트랜지스터(M1)와 제2 트랜지스터(M2)의 사이즈를 정할 수 있다. 마찬가지로 방법으로 제5 트랜지스터(M5)와 제6 트랜지스터(M6)의 사이즈를 정할 수 있다.

<128> 방전되는 N1 노드 전압이  $VDDH-V_{THP}$  이하로 감소하면, 턴오프되어 있던 제2 레벨 쉬프팅부(100b2)의 제8 트랜지스터(M8)가 턴온되어 N2 노드는 제6 및 제8 트랜지스터(M6, M8)에 의한 전류 경로에 의하여  $VDDL-V_{THN}$  보다 상승하게 된다. 상승된 N2 노드의 전압은 제1 레벨 쉬프팅부(100a2)의 턴온 상태의 제4 PMOS 트랜지스터(M4)를 통하여 흐르는 전류를 감소시킴으로써 방전되는 N1 노드에서의 전압 강하를 더욱 가속시키는 정제환 동작이 이루어진다. 이러한 N1 노드와 N2 노드에 의한 정제환 동작은 래치부(200)의 CMOS 페어 래치에 의해 더욱 가속되는 최종적인 정제환 동작이 이루어진다. 즉, 래치부(200)의 제1 CMOS 인버터(210)의 출력 노드인 N1 전압이 제1 정제환 신호(203)로서 제2 레벨 쉬프팅부(100b2)의 제8 트랜지스터(M8)의 게이트로 인가되며, 래치부(200)의 제2 CMOS 인버터(220)의 출력 노드인 N2 전압이 제2 정제환 신호(201)로서 제1 레벨 쉬프팅부(100a2)의 제4 트랜지스터(M4)의 게이트로 인가된다. 제1 정제환 신호(203) 및 제2 정제환 신호(201)에 의하여 N1 노드 및 N2 노드 전압 천이시 로우 레벨에서 하이 레벨로의 상승 속도가 증가되고, 하이 레벨에서 로우 레벨로의 하강 속도가 증가된다. 그 결과, N1 노드는 GND로 떨어지며, N2 노드는 VDDH로 상승하게 된다.

<129> N2 노드(또는 N1 노드) 전압이 GND에서 VDDH로 상승할 경우에는 GND에서  $VDDL-V_{THN}$ 의 전압 레벨을 거쳐서 최종적으로 VDDH까지 상승하므로, 도 11b에 도시된 바와 같이, N2 노드 전압

곡선은 상승 시간( $T_r$ ; rising time)이 하강 시간( $T_f$ ; falling time)보다 크게된다. 이러한 상승 시간( $T_r$ )과 하강 시간( $T_f$ )의 차이는 출력 단자를 통한 최종 출력 신호의 듀티비에 영향을 주게된다. 따라서, 제1 및 제2 출력 버퍼부(300a, 300b)의 NMOS 트랜지스터와 PMOS 트랜지스터의 사이즈를 조절하여 NMOS 트랜지스터(M13, M15)를 통하여 방전되는 전류를 충전되는 전류보다 크도록 유지시키는 것이 바람직하다.

<130> 예를 들어, PMOS 트랜지스터의 정공 이동도가 NMOS 트랜지스터의 전자 이동도보다 작으므로 제1 및 제2 출력 버퍼부(300a, 300b)의 NMOS 트랜지스터와 PMOS 트랜지스터의 사이즈를 실질적으로 동일하게 함으로써 NMOS 트랜지스터(M13, M15)를 통하여 방전되는 전류가 충전되는 전류보다 크도록 유지하여 최종 출력 신호의 듀티비를 조정할 수 있다.

<131> 또한, 제1 및 제2 출력 버퍼부(300a, 300b)의 트랜지스터 사이즈는 NMOS 트랜지스터(M13, M15)의 트랜지스터의 사이즈가 PMOS 트랜지스터(M14, M16)의 트랜지스터의 사이즈보다 크도록 할 수 있다. 예를 들어, 제1 및 제2 출력 버퍼부(300a2, 300b2)의 트랜지스터 사이즈는 NMOS 트랜지스터: PMOS 트랜지스터=1.5:1이 되도록 할 수 있다.

<132> 제1 입력 단자(VIN)로 제1 입력 신호(101)가 제1 전원 전압(VDDL)에서 접지 전압(GND)으로의 천이가 종료되어 GND 레벨이 인가되면, 제1 레벨 쉬프팅부(100a2)에서는, 제3 트랜지스터(M3)의 게이트로는 GND가 인가되고 제4 트랜지스터(M4)의 게이트에는 N2 노드의 VDDH가 인가되므로 제3 및 제4 트랜지스터(M3, M4)가 턴오프된다.

<133> GND 레벨을 가지는 제1 입력 신호(101)가 제1 입력 단자(VIN)로 인가되는 상태에서 제1 레벨 쉬프팅부(100a2)는 제3 및 제4 트랜지스터(M3, M4)가 턴오프되어 전류 경로가 형성되지 않으므로 정적 전류(static current)가 흐르지 않는다. 또한, 제2 레벨 쉬프팅부(100b2)에서



는 제5 트랜지스터(M5)가 턴오프되어 전류 경로가 형성되지 않으므로 정적 전류(static current)가 흐르지 않는다.

- <134> 즉, 제1 및 제2 레벨 쉬프팅부(100a2, 100b2)에서는 제1 입력 신호(101)가 GND에서 VDDL(또는 VDDL에서 GND)로 천이 되는 동안에 발생하는 동적 전류만이 소모되고, 천이가 완료된 상태에서는 정적 전류가 흐르지 않으므로 저전력의 레벨 쉬프터를 구현할 수 있다.
- <135> 이때, 도1의 종래의 전압 레벨 쉬프터에서는 N1', N2' 노드로 제1 및 제2 입력 신호(101, 103)가 NMOS 트랜지스터(M1', M2')를 통하여 직접 인가되지만, 도 7의 본 발명의 전압 레벨 쉬프터에서는 N1 및 N2 노드로 제1 및 제2 레벨 쉬프팅부의 M1, M2, M3, M4, M5, M6, M7 및 M8을 통하여 제1 및 제2 입력신호가 인가된다. 즉, 본 발명의 전압 레벨 쉬프터는 제1 및 제2 레벨 쉬프팅부(100a2, 100b2)를 통해 제2 전원 전압(VDDH)까지 증폭된 제1 및 제2 출력 신호(102, 104)가 래치부(200)에 공급된다.
- <136> 따라서, 래칭 시드(seed) 전압이 CMOS 커플드 페어로 이루어진 래치부의 출력 노드(N1, N2)에 직접 인가되므로 래칭 동작의 초기 시간 지연을 최소화하여 래칭 속도가 향상된다.
- <137> 또한, 래칭 동작이 CMOS 크로스 커플드 페어를 통하여 이루어지므로, 래칭 동작시 전류 흐름을 방해하는 경로가 없어 래칭 속도가 향상된다.
- <138> <실시예 3>
- <139> 도 8a는 본 발명의 바람직한 제3 실시예에 따른 전압 레벨 쉬프터의 전체 회로도를 나타낸다.

- <140> 도 8a를 참조하면, 본 발명의 제3 실시예에 따른 전압 레벨 쉬프터는 레벨 쉬프팅부(100a3), 래치부(200), 제1 출력 버퍼부(300a) 및 제2 출력 버퍼부(300b)를 포함한다.
- <141> 레벨 쉬프팅부(100a3)는 풀업부(110a3) 및 풀다운부(120a3)로 이루어진다. 풀다운부(120a3)는 제1 NMOS 트랜지스터(M1)로 이루어지며, 풀업부(110a3)는 제3 NMOS 트랜지스터(M3)와 제2 및 제4 PMOS 트랜지스터들(M2, M4)로 이루어진다.
- <142> 레벨 쉬프팅부(100a3)는 접지 전압 레벨과 저전압 레벨의 제1 전원 전압(VDDL) 사이를 스윙하는 제1 입력 신호 및 제2 입력 신호를 제1 입력 단자(VIN) 및 제2 입력 단자(VINB)를 통하여 입력받아 전압 레벨을 증폭하여 접지 전압 레벨과 고전압 레벨의 제2 전원 전압(VDDH) 사이를 스윙하는 출력 신호를 출력한다. 이때, 제2 입력 신호는 제1 입력 신호의 위상과 반전된 위상을 가진다.
- <143> 래치부(200)는 2개의 크로스 커플드 페어(cross coupled pair) 인버터들(210 220)로 이루어진다. 구체적으로, 래치부(200)는 2개의 PMOS 트랜지스터(M10, M12)와 2개의 NMOS 트랜지스터(M9, M11)로 이루어진다.
- <144> 제1 출력 버퍼부(300a)는 하나의 PMOS 트랜지스터(M14)와 하나의 NMOS 트랜지스터(M13)로 이루어진다. 제14 PMOS 트랜지스터(M14)의 소오스는 제2 전원 전압(VDDH)에 연결되고, 게이트는 레벨 쉬프팅부(100a3)의 출력 노드인 N1 노드에 연결된다. 제13 NMOS 트랜지스터(M13)의 드레인은 제14 PMOS 트랜지스터(M14)의 드레인에 연결되고, 게이트는 제14 PMOS 트랜지스터(M14)의 게이트에 연결되며, 소오스는 접지로 연결된다.
- <145> 제2 출력 버퍼부(300b)는 하나의 PMOS 트랜지스터(M16)와 하나의 NMOS 트랜지스터(M15)로 이루어진다. 제16 PMOS 트랜지스터(M16)의 소오스는 제2 전원 전압(VDDH)에 연결되고, 게

이트는 N2 노드에 연결된다. 제15 NMOS 트랜지스터(M15)의 드레인은 제16 PMOS 트랜지스터(M16)의 드레인에 연결되고, 게이트는 제16 PMOS 트랜지스터(M16)의 게이트에 연결되며, 소오스는 접지로 연결된다.

<146> 여기서, 레벨 쉬프팅부(100a3), 래치부(200), 제1 출력 버퍼부(300a) 및 제2 출력 버퍼부(300b)는 고전압 레벨의 제2 전원 전압(VDDH)과 연결되고, 제1 입력 신호를 입력받아 제2 입력 신호를 생성하기 위한 인버터(INV1)는 저전압 레벨의 제1 전원 전압(VDDL)에 연결된다.

<147> 전체적으로, 본 발명의 제3 실시예에 따른 전압 레벨 쉬프터는 CMOS 페어 래치로 이루어진 래치부(200)에서 정제환 동작을 더욱 가속시키는 최종적인 정제환 동작을 수행한다. 즉, 래치부(200)에서 정제환 신호를 레벨 쉬프팅부(100a3)의 제4 PMOS 트랜지스터(M4)의 게이트로 제공하여 N1 노드로 출력되는 전압 신호의 상승 속도 또는/및 하강 속도를 증가시킨다. 이러한 정제환 동작의 시드(seed) 전압은 레벨 쉬프팅부(100a3)에서 CMOS 페어 래치의 출력 노드(N1)로 제공된다. 제1 및 제2 출력 버퍼부(300a, 300b)를 통하여 저전압 레벨에서 고전압 레벨로 변환된 출력 신호가 출력된다.

<148> <실시예 4>

<149> 도 8b는 본 발명의 바람직한 제4 실시예에 따른 전압 레벨 쉬프터의 전체 회로도를 나타낸다.

<150> 도 8b를 참조하면, 본 발명의 제4 실시예에 따른 전압 레벨 쉬프터는 레벨 쉬프팅부(100b3), 래치부(200), 제1 출력 버퍼부(300a) 및 제2 출력 버퍼부(300b)를 포함한다.

- <151> 레벨 쉬프팅부(100b3)는 풀업부(110b3) 및 풀다운부(120b3)로 이루어진다. 풀다운부(120b3)는 제5 NMOS 트랜지스터(M5)로 이루어지며, 풀업부(110b3)는 제7 NMOS 트랜지스터(M7)와 제6 및 제8 PMOS 트랜지스터들(M6, M8)로 이루어진다.
- <152> 레벨 쉬프팅부(100b3)는 접지 전압 레벨과 저전압 레벨의 제1 전원 전압(VDDL) 사이를 스윙하는 제1 입력 신호 및 제2 입력 신호를 제1 입력 단자(VIN) 및 제2 입력 단자(VINB)를 통하여 입력받아 전압 레벨을 증폭하여 접지 전압 레벨과 고전압 레벨의 제2 전원 전압(VDDH) 사이를 스윙하는 출력 신호를 출력한다. 이때, 제2 입력 신호는 제1 입력 신호의 위상과 반전된 위상을 가진다.
- <153> 래치부(200)는 2개의 크로스 커플드 페어(cross coupled pair) 인버터들(210 220)로 이루어진다. 구체적으로, 래치부(200)는 2개의 PMOS 트랜지스터(M10, M12)와 2개의 NMOS 트랜지스터(M9, M11)로 이루어진다.
- <154> 제1 출력 버퍼부(300a)는 하나의 PMOS 트랜지스터(M14)와 하나의 NMOS 트랜지스터(M13)로 이루어진다. 제14 PMOS 트랜지스터(M14)의 소오스는 제2 전원 전압(VDDH)에 연결되고, 게이트는 N1 노드에 연결된다. 제13 NMOS 트랜지스터(M13)의 드레인은 제14 PMOS 트랜지스터(M14)의 드레인에 연결되고, 게이트는 제14 PMOS 트랜지스터(M14)의 게이트에 연결되며, 소오스는 접지로 연결된다.
- <155> 제2 출력 버퍼부(300b)는 하나의 PMOS 트랜지스터(M16)와 하나의 NMOS 트랜지스터(M15)로 이루어진다. 제16 PMOS 트랜지스터(M16)의 소오스는 제2 전원 전압(VDDH)에 연결되고, 게이트는 N2 노드에 연결된다. 제15 NMOS 트랜지스터(M15)의 드레인은 제16 PMOS 트랜지스터(M16)의 드레인에 연결되고, 게이트는 제16 PMOS 트랜지스터(M16)의 게이트에 연결되며, 소오스는 접지로 연결된다.

- <156> 여기서, 레벨 쉬프팅부(100b3), 래치부(200), 제1 출력 버퍼부(300a) 및 제2 출력 버퍼부(300b)는 고전압 레벨의 제2 전원 전압(VDDH)과 연결되고, 제1 입력 신호를 입력받아 제2 입력 신호를 생성하기 위한 인버터(INV1)는 저전압 레벨의 제1 전원 전압(VDDL)에 연결된다.
- <157> 전체적으로, 본 발명의 제4 실시예에 따른 전압 레벨 쉬프터는 CMOS 페어 래치로 이루어진 래치부(200)에서 정제환 동작을 더욱 가속시키는 최종적인 정제환 동작을 수행한다. 즉, 래치부(200)에서 정제환 신호를 레벨 쉬프팅부(100b3)의 제8 NMOS 트랜지스터(M8)의 게이트로 제공하여 N2 노드로 출력되는 전압 신호의 상승 속도 또는/및 하강 속도를 증가시킨다. 이러한 정제환 동작의 시드(seed) 전압은 레벨 쉬프팅부(100b3)에서 CMOS 페어 래치의 출력 노드(N2)로 제공된다. 제1 및 제2 출력 버퍼부(300a, 300b)를 통하여 저전압 레벨에서 고전압 레벨로 변환된 출력 신호가 출력된다.
- <158> 도 9a, 9b 및 9c는 각각 도 1의 전압 레벨 쉬프터의 100MHz, 500MHz 및 1GHz의 입력 신호에 대한 출력 파형도를 나타내며, 도 10a, 10b 및 10c는 도 4의 전압 레벨 쉬프터의 100MHz, 500MHz 및 1GHz의 입력 신호에 대한 출력 파형도를 나타내고, 도 11a, 11b 및 11c는 도 6의 전압 레벨 쉬프터의 100MHz, 500MHz 및 1GHz의 입력 신호에 대한 출력 파형도를 나타낸다.
- <159> 도 9a 내지 도 11c는 0.18um 공정을 이용하여 1.6 volts의 저전압 입력 신호를 3.0 volts의 고전압으로 레벨 쉬프팅하는 동작을 입력 신호의 주파수를 변화시켜가면서 worst case 조건에서 시뮬레이션 한 결과이다.
- <160> 도 9a에 도시된 바와 같이, 100MHz의 주파수의 디지털 입력 신호를 입력 단자(VIN)로 제공한 경우에는 출력 단자(VOUT)를 통한 최종 출력 파형은 저전압 레벨의 입력 신호를 고전압 레벨의 입력 신호로 변환한 정상적인 파형이 얻어졌다.



<161> 그러나, 도9b에 도시된 바와 같이, 500MHz의 높은 주파수의 고속 디지털 신호를 입력 신호로 사용한 경우, 도 1의 N2' 노드에서의 시간 지연에 의하여 N2' 노드의 전압 곡선의 기울기가 N2 노드에서의 전압 곡선의 기울기보다 완만하다. 즉, 도 1의 N2' 노드 전압 곡선의 천이 과정에서의 상승 속도와 하강 속도가 도 11b의 N2 노드 전압 곡선의 천이 과정에서의 상승 속도 및 하강 속도에 비하여 작다. 따라서, N2' 노드의 전압이 하이 레벨에서 로우 레벨로 빨리 떨어지지 않으므로(또는 로우 레벨에서 하이 레벨로 빨리 상승하지 않으므로) 최종 출력 파형은 고속 디지털 신호가 입력된 경우 입력 신호의 파형을 만족할 정도로 재현하지 못하게 된다. 또한, N2' 노드에서 시간 지연에 의해 최종 출력단자(VOUT)에서의 최종 출력 파형의 듀티비가 크게 나빠짐을 알 수 있다.

<162> 또한, 도 9c에 도시된 바와 같이, 1GHz의 높은 주파수의 고속 디지털 신호를 입력 신호로 사용한 경우에는 도 1의 N2' 노드에서의 시간 지연에 의하여 최종 출력이 왜곡되어 레벨 쉬프팅 동작이 이루어지지 않았다.

<163> 이에 반하여 본 발명의 제1 및 제2 실시예에 따른 전압 레벨 쉬프터를 적용한 경우에는, 도 10a 내지 도 11c에 도시된 바와 같이, 입력 신호의 주파수를 100MHz, 500MHz 및 1GHz를 변화시킨 경우에도, N2 노드의 전압 곡선의 상승 속도와 하강 속도가 도 9a 내지 도 9c의 N2' 노드에서의 전압 곡선의 상승 속도와 하강 속도에 비하여 크게 증가한다. 따라서, N2 노드의 전압이 하이 레벨에서 로우 레벨로 빨리 떨어지므로 최종 출력 파형은 500MHz 및 1GHz 정도의 고속 디지털 신호가 입력된 경우에도 입력 신호 파형을 만족할 정도로 재현할 수 있게 된다.

<164> 또한, 본 발명의 일실시예에 따른 전압 레벨 쉬프터에서는 출력 버퍼부(300)의 PMOS 트랜지스터 및 NMOS 트랜지스터의 사이즈를 조절함으로써 최종 출력단자(VOUT)에서의 최종 출력 파형의 듀티비가 개선됨을 알 수 있다.

<165> 표 1은 도 1의 종래의 전압 레벨 쉬프터(비교예)와 본 발명의 제1 및 제2 실시예에 따른 전압 레벨 쉬프터에 10MHz, 100MHz, 500MHz 및 1GHz의 디지털 입력 신호를 인가했을 때의 시뮬레이션 결과 값을 나타낸 것이다.

<166> 【표 1】

입력 신호		10MHz	100MHz	500MHz	1GHz
스윙 폭	100%	100%	89%	4%	
비교예	듀티비	49.5 : 50.5	46.5 : 53.5	18.3 : 81.7	-
	전류	10uA	85uA	380uA	250uA
	제1 실시예의 레벨 쉬프터		스윙 폭		100%
		49.9 : 50.1	49.0 : 51.0	44.0 : 56.0	57.4 : 42.6
		14.5uA	164uA	691uA	0.992mA
	스윙 폭	100%	100%	100%	100%
	제2 실시예의 레벨 쉬프터		듀티비		49.9 : 50.1
		16uA	174uA	737uA	1.089mA

<167> 표 1을 참조하면, 10MHZ, 100MHZ의 저속의 디지털 입력 신호가 인가된 경우에는 종래의 전압 레벨 쉬프터(비교예)와 본 발명의 제1 및 제2 실시예에 따른 전압 레벨 쉬프터간에 전압 스윙폭과 듀티비에 큰 차이는 없었다.

<168> 출력 전압의 듀티비(duty ratio)를 살펴보면, 500MHz의 고속 디지털 입력 신호가 인가된 경우, 종래의 전압 레벨 쉬프터는 듀티비가 18.3:81.7로서 전압 레벨 쉬프터의 출력 신호로서 사용이 불가능할 정도로 왜곡되었으나, 본 발명의 제1 및 제2 실시예에 따른 전압 레벨 쉬프터

는 각각 44.0:56.0 및 48.0:52.0의 듀티비를 갖는다. 또한, 1GHz의 고속 디지털 입력 신호가 인가된 경우, 종래의 전압 레벨 쉬프터는 듀티비가 정의되지 않을 정도로 최종 출력 신호가 왜곡되었으나, 본 발명의 제1 및 제2 실시예에 따른 전압 레벨 쉬프터는 각각 57.4:42.6 및 51.2:48.8의 양호한 듀티비를 갖는다.

<169> 또한, 출력 전압의 스윙 폭(swing range)을 살펴보면, 10MHZ, 100MHZ의 입력 신호가 인가된 경우에는 종래의 전압 레벨 쉬프터와 본 발명의 제1 및 제2 실시예에 따른 전압 레벨 쉬프터의 전압 스윙폭은 목표 고전압 레벨의 100%가 얻어졌다. 그러나, 500MHZ의 고속 디지털 입력 신호가 인가된 경우, 종래의 전압 레벨 쉬프터는 스윙폭이 목표 고전압 레벨의 89%로 떨어져지고, 1GHz의 고속 디지털 입력 신호가 인가된 경우, 종래의 전압 레벨 쉬프터는 스윙폭이 목표 고전압 레벨의 4%에 불과한 값을 갖는다.

<170> 즉, 본 발명에 따른 전압 레벨 쉬프터는 종래의 전압 레벨 쉬프터보다 고속의 입력 전압이 인가된 경우에도 듀티비 및 스윙 폭 등이 훨씬 개선됨을 알 수 있다.

<171> 한편, 동작시 전류소모를 살펴보면, 본 발명의 전압 레벨 쉬프터는 동작 속도가 점점 증가하는 경우에도 동작 속도의 증가에 비하여 전류 소모는 크게 증가하지 않는다. 즉, 본 발명의 제1 실시예에 따른 전압 레벨 쉬프터는 10MHZ의 입력 신호가 인가된 경우에는 약 1.5배, 100MHZ의 입력 신호가 인가된 경우에는 약 1.9배, 500MHZ의 입력 신호가 인가된 경우에는 약 1.8배의 전류, 1GHz의 입력 신호가 인가된 경우에는 약 4 배의 전류만을 종래의 전압 레벨 쉬프터보다 더 소모한다. 또한, 본 발명의 제2 실시예에 따른 전압 레벨 쉬프터는 10MHZ의 입력 신호가 인가된 경우에는 약 1.6배, 100MHZ의 입력 신호가 인가된 경우에는 약 2.0배, 500MHZ의 입력 신호가 인가된 경우에는 약 1.9배의 전류, 1GHz의 입력 신호가 인가된 경우에는 약 4.4 배의 전류만을 종래의 전압 레벨 쉬프터보다 더 소모한다.





<172> 본 발명의 제2 실시예에 따른 전압 레벨 쉬프터에 의하면, 종래의 전압 레벨 쉬프터보다 동작 속도(speed) 측면에서 월등한 성능을 내면서 전류소모는 전체 입력 신호의 동작 속도 범위(speed range)에서 1.9이하로 유지한다. 왜냐하면, 본 발명에 따른 전압 레벨 쉬프터는 종래의 전압 레벨 쉬프터와 마찬가지로 입력 신호의 천이(transition)가 일어나는 동작구간에서 발생하는 동적(dynamic) 전류만 소모하며, 추가적인 정적(static) 전류 소모가 없기 때문이다.

<173> 표 2은 도 1의 종래의 전압 레벨 쉬프터(비교예)와 본 발명의 제1 및 제2 실시예에 따른 전압 레벨 쉬프터에 제2 전원 전압(VDDH)을 3.0 볼트로 하고, 제1 전원 전압(VDDL)을 1.3 볼트, 1.4 볼트, 1.5 볼트, 1.6 볼트로 변화시켜 가면서 100MHz의 디지털 입력 신호를 인가했을 때의 시뮬레이션 결과 값을 나타낸 것이다.

<174> 【표 2】

VDDL(volt)		1.6	1.5	1.4	1.3
스윙 폭	100%	100%	89%	-	
비교예	듀티비	46.5 : 53.5	40.3 : 59.7	19.8 : 80.2	-
	전류	85uA	104uA	156uA	100uA
제1 실시예의 레벨 쉬프터	스윙 폭	100%			
		49.0 : 51.0	49.2 : 50.8	49.2 : 50.8	49.7 : 50.3
		174uA	194uA	228uA	334uA
	스윙 폭	100%	100%	100%	100%
제2 실시예의 레벨 쉬프터	듀티비			49.0 : 51.0	
		164uA	182uA	217uA	332uA

<175> 표 2를 참조하면, 제2 전원 전압(VDDH)을 3.0 볼트로 하고, 제1 전원 전압(VDDL)을 1.6 볼트에서 1.3 볼트로 점차로 감소시킨 경우 본 발명의 제1 실시예에 따른 레벨 쉬프터의 듀티비는 점차로 개선되었다. 예를 들어, 제2 전원 전압(VDDH)을 대략 3.0 볼트로 하는 경우, 제1 전원

전압(VDDL)은 대략 1.3 볼트 이상의 값을 가질 수 있다. 즉, 제2 전원 전압(VDDH)과 제1 전원 전압(VDDL)의 갭은 대략 1.7 볼트 이하가 될 수 있다.

<176> 한편, 제2 전원 전압(VDDH)은 예를 들어 3.0 볼트 이상이 될 수 있다. 바람직하게는 3.0 볼트 내지 3.6 볼트 값을 가질 수 있다. 예를 들어, 제2 전원 전압(VDDH)을 대략 4.0 볼트로 하는 경우, 제1 전원 전압(VDDL)은 대략 1.4 볼트 이상의 값을 가질 수 있다. 또한, 예를 들어, 제2 전원 전압(VDDH)을 대략 5.0 볼트로 하는 경우, 제1 전원 전압(VDDL)은 대략 1.7 볼트 이상의 값을 가질 수 있다.

#### 【발명의 효과】

<177> 상기와 같은 전압 레벨 쉬프터와 전압 레벨 쉬프팅 방법에 따르면, 고속 디지털 통신 장비, 고화질 고속 디스플레이 장치, 고용량(high capacity) 저장장치 및 고속 아날로그-디지털 변환기(ADC) 등에 사용될 수 있도록 고속 디지털 신호 처리가 가능한 레벨 쉬프터 및 전압 레벨 쉬프팅 방법을 제공한다.

<178> 상기와 같은 전압 레벨 쉬프터에 따르면, 제1 및 제2 레벨 쉬프팅부에 연결된 CMOS 크로스 커플드 페어로 이루어진 래치부를 사용함으로써, 제1 및 제2 레벨 쉬프팅부를 통하여 고 전압 레벨(VDDH)까지 증폭된 신호가 래칭 동작시 시드(seed) 전압으로 래치부에 공급된다. 즉, 시드(seed) 전압이 CMOS 크로스 커플드 페어로 이루어진 래치부의 출력단에 직접 인가된다. 또한, 래치부는 제1 및 제2 정계환 신호를 제2 레벨 쉬프터 및 상기 제1 레벨 쉬프팅부로 각각 제공한다.

- <179> 따라서, 래칭 동작의 초기 시간 지연을 최소화되고, 래칭 동작이 CMOS 크로스 커플드 페어를 통하여 이루어지므로, 래칭 동작시 전류 흐름을 방해하는 경로가 없어 래칭 속도가 향상된다.
- <180> 또한, 상기 제1 레벨 쉬프팅부 및 제2 레벨 쉬프팅부의 출력 신호의 상승 속도 또는 하강 속도가 증가시킴으로써 고속 디지털 입력 신호를 처리할 수 있다.
- <181> 따라서, 고속 동작시에도 출력 신호의 스윙폭과 듀티비를 유지함으로써 출력 신호의 왜곡 없이 고속 디지털 입력 신호를 처리할 수 있다.
- <182> 또한, 본 발명의 전압 레벨 쉬프터는 고속 동작시에도 입력 신호의 천이 과정에서 발생하는 정적 전류만을 소모하고 추가적인 정적 전류를 소모하지 않으므로 전력 소모가 최소화된다.
- <183> 이상 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

**【특허청구범위】****【청구항 1】**

제1 전압 레벨과 제2 전압 레벨사이를 스윙하는 제1 입력 신호를 입력받아 상기 제1 전압 레벨과 상기 제2 전압 레벨보다 큰 제3 전압 레벨 사이를 스윙하는 제1 출력 신호를 제공하고, 제2 정kehr 신호에 응답하여 상기 제1 출력 신호의 상승 속도 또는 하강 속도를 증가시키는 제1 레벨 쉬프팅부;

상기 제1 입력 신호와 반전된 위상을 가지는 제2 입력 신호를 입력받아 상기 제1 출력 신호와 반전된 위상을 가지고 상기 제1 전압 레벨과 상기 제3 전압 레벨 사이를 스윙하는 제2 출력 신호를 제공하고, 제1 정kehr 신호에 응답하여 상기 제2 출력 신호의 상승 속도 또는 하강 속도를 증가시키는 제2 레벨 쉬프팅부; 및

상기 제1 출력 신호 및 상기 제2 출력 신호를 입력받아 래치하고, 상기 제1 정kehr 신호 및 상기 제2 정kehr 신호를 각각 상기 제2 레벨 쉬프터 및 상기 제1 레벨 쉬프팅부로 제공하는 래치부를 포함하는 저전압 레벨의 신호를 고전압 레벨의 신호로 변환하는 레벨 쉬프터.

**【청구항 2】**

제1항에 있어서, 상기 제1 레벨 쉬프팅부는

상기 제2 정kehr 신호의 상승 에지에 응답하여 상기 제1 출력 신호의 하강 속도를 증가시키고, 상기 제2 정kehr 신호의 하강 에지에 응답하여 상기 제1 출력 신호의 상승 속도를 증가시키는 정kehr 동작을 통하여 상기 제1 출력 신호를 출력하는 것을 특징으로 하는 레벨 쉬프터.

**【청구항 3】**

제1항에 있어서, 상기 제2 레벨 쉬프팅부는

상기 제1 정궤환 신호의 하강 에지에 응답하여 상기 제2 출력 신호의 상승 속도를 증가시키고, 상기 제1 정궤환 신호의 상승 에지에 응답하여 상기 제2 출력 신호의 하강 속도를 증가시키는 정궤환 동작을 통하여 상기 제2 출력 신호를 출력하는 것을 특징으로 하는 레벨 쉬프터.

**【청구항 4】**

제1항에 있어서, 상기 래치부는

제1 CMOS 인버터와 제2 CMOS 인버터로 이루어진 CMOS 크로스-커플드 페어 래치를 포함하는 것을 특징으로 하는 레벨 쉬프터.

**【청구항 5】**

제4항에 있어서, 상기 제1 레벨 쉬프팅부는 제1 출력단을 통하여 상기 제1 출력 신호를 출력하고, 상기 제1 출력단은 상기 제1 CMOS 인버터의 출력단 및 상기 제2 CMOS 인버터의 입력단에 결합되는 것을 특징으로 하는 레벨 쉬프터.

**【청구항 6】**

제5항에 있어서, 상기 제1 레벨 쉬프팅부는

상기 제1 입력 신호를 입력받는 제어 전극과, 실질적으로 상기 제3 전압 레벨을 가지는 제1 전원 전압을 입력받는 제1 전류 전극과, 제2 전류 전극을 포함하는 제1 PMOS 트랜지스터;



상기 래치부의 제1 CMOS 인버터의 입력단에 결합된 제어 전극과, 상기 제1 PMOS 트랜지스터의 제2 전류 전극에 결합되는 제1 전류 전극과, 제2 전류 전극을 포함하는 제2 PMOS 트랜지스터; 및

상기 제1 입력 신호를 입력받는 제어 전극과, 실질적으로 상기 제1 전압 레벨을 가지는 제2 전원 전압을 입력받는 제1 전류 전극과, 상기 제2 PMOS 트랜지스터의 제2 전류 전극에 결합된 제2 전류 전극을 가지는 제1 NMOS 트랜지스터를 포함하는 것을 특징으로 하는 레벨 쉬프터.

#### 【청구항 7】

제6항에 있어서, 상기 제1 PMOS 트랜지스터와 상기 제1 NMOS 트랜지스터는 포화 영역에서 동작시 상기 제1 NMOS 트랜지스터를 통하여 방전되는 전류가 상기 제1 PMOS 트랜지스터에 충전되는 전류보다 큰 조건을 만족하도록 상기 제1 PMOS 트랜지스터와 상기 제1 NMOS 트랜지스터의 사이즈가 결정되는 것을 특징으로 하는 레벨 쉬프터.

#### 【청구항 8】

제7항에 있어서, 제1 PMOS 트랜지스터와 상기 제1 NMOS 트랜지스터의 사이즈는 상기 제1 CMOS 인버터를 구성하는 트랜지스터들의 사이즈보다 큰 값을 가지는 것을 특징으로 하는 레벨 쉬프터.

#### 【청구항 9】

제6항에 있어서, 상기 제1 레벨 쉬프팅부는

상기 제2 입력 신호를 입력받는 제어 전극과, 상기 제1 NMOS 트랜지스터의 제2 전류 전극에 결합된 제1 전류 전극과, 상기 제1 PMOS 트랜지스터의 제2 전류 전극과 결합된 제2 전류 전극을 가지는 제2 NMOS 트랜지스터를 더 포함하는 것을 특징으로 하는 레벨 쉬프터.

【청구항 10】

제4항에 있어서, 상기 제2 레벨 쉬프팅부는 제2 출력단을 통하여 상기 제2 출력 신호를 출력하고, 상기 제2 출력단은 상기 제1 CMOS 인버터의 입력단 및 상기 제2 CMOS 인버터의 출력단에 결합되는 것을 특징으로 하는 레벨 쉬프터.

【청구항 11】

제10항에 있어서, 상기 제2 레벨 쉬프팅부는

상기 제2 입력 신호를 입력받는 제어 전극과, 실질적으로 상기 제3 전압 레벨을 가지는 제1 전원 전압을 입력받는 제1 전류 전극과, 제2 전류 전극을 포함하는 제1 PMOS 트랜지스터;

상기 래치부의 제2 CMOS 인버터의 입력단에 결합된 제어 전극과, 상기 제1 PMOS 트랜지스터의 제2 전류 전극에 결합되는 제1 전류 전극과, 제2 전류 전극을 포함하는 제2 PMOS 트랜지스터; 및

상기 제2 입력 신호를 입력받는 제어 전극과, 실질적으로 상기 제1 전압 레벨을 가지는 제2 전원 전압을 입력받는 제1 전류 전극과, 상기 제2 PMOS 트랜지스터의 제2 전류 전극에 결합된 제2 전류 전극을 가지는 제1 NMOS 트랜지스터를 포함하는 것을 특징으로 하는 레벨 쉬프터.

**【청구항 12】**

제11항에 있어서, 상기 제1 PMOS 트랜지스터와 상기 제1 NMOS 트랜지스터는 포화 영역에서 동작시 상기 제1 NMOS 트랜지스터를 통하여 방전되는 전류가 상기 제1 PMOS 트랜지스터에 충전되는 전류보다 큰 조건을 만족하도록 상기 제1 PMOS 트랜지스터와 상기 제1 NMOS 트랜지스터의 사이즈가 결정되는 것을 특징으로 하는 레벨 쉬프터.

**【청구항 13】**

제11항에 있어서, 제1 PMOS 트랜지스터와 상기 제1 NMOS 트랜지스터의 사이즈는 상기 제2 CMOS 인버터를 구성하는 각각의 트랜지스터들의 사이즈보다 큰 값을 가지는 것을 특징으로 하는 레벨 쉬프터.

**【청구항 14】**

제11항에 있어서, 상기 제2 레벨 쉬프팅부는

상기 제1 입력 신호를 입력받는 제어 전극과, 상기 제1 NMOS 트랜지스터의 제2 전류 전극에 결합된 제1 전류 전극과, 상기 제1 PMOS 트랜지스터의 제2 전류 전극과 결합된 제2 전류 전극을 가지는 제2 NMOS 트랜지스터를 더 포함하는 것을 특징으로 하는 레벨 쉬프터.

**【청구항 15】**

제1항에 있어서, 상기 레벨 쉬프터는 상기 제1 레벨 쉬프팅부의 제1 출력 신호와 상기 제2 레벨 쉬프팅부의 제2 출력 신호를 버퍼링하고 상기 제1 및 제2 출력 신호의 듀티비를 보상하는 출력 버퍼부를 더 포함하는 것을 특징으로 하는 레벨 쉬프터.

**【청구항 16】**

제15항에 있어서, 상기 출력 버퍼부는



제 1 PMOS 트랜지스터와 제1 NMOS 트랜지스터로 이루어지는 제1 인버터; 및

제2 PMOS 트랜지스터와 제2 NMOS 트랜지스터로 이루어지는 제2 인버터를 포함하는 것을 특징으로 하는 레벨 쉬프터.

【청구항 17】

제16항에 있어서,

상기 제1 NMOS 트랜지스터와 상기 제1 PMOS 트랜지스터의 사이즈 비는 1:1인 것을 특징으로 하는 레벨 쉬프터.

【청구항 18】

제16항에 있어서,

상기 제2 NMOS 트랜지스터와 상기 제2 PMOS 트랜지스터의 사이즈 비는 1:1인 것을 특징으로 하는 레벨 쉬프터.

【청구항 19】

제1항에 있어서, 상기 제3 전압 레벨은 3.0 볼트 내지 5.0 볼트인 것을 특징으로 하는 레벨 쉬프터.

【청구항 20】

제1항에 있어서, 상기 제3 전압 레벨은 3.0 볼트이고, 상기 제2 전압 레벨은 1.6 볼트 내지 1.3 볼트인 것을 특징으로 하는 레벨 쉬프터.

【청구항 21】

i) 제1 전압 레벨과 제2 전압 레벨사이를 스윙하는 제1 입력 신호를 입력받는 제어 전극과, 상기 제2 전압 레벨 보다 큰 제3 전압 레벨을 가지는 제1 전원 전압에 결합된 제1 전류 전

극을 가지는 제1 트랜지스터, ii) 상기 제1 트랜지스터의 제2 전류 전극과 결합된 제1 전류 전극을 가지는 제2 트랜지스터, iii) 상기 제1 전원 전압 레벨을 가지는 제2 전원 전압과 결합된 제1 전류 전극과, 상기 제2 트랜지스터의 제2 전류 전극과 결합된 제2 전류 전극과, 상기 제1 입력 신호를 입력받는 제어 전극을 가지는 제3 트랜지스터를 포함하는 제1 레벨 쉬프팅부;

i) 상기 제1 전원 전압과 결합된 제1 전류 전극을 가지는 제4 트랜지스터, ii) 상기 제4 트랜지스터의 제어 전극 및 상기 제2 트랜지스터의 제어 전극과 결합된 제어 전극과, 상기 제2 전원 전압과 결합된 제1 전류 전극과, 상기 제4 트랜지스터의 제2 전류 전극 및 상기 제2 트랜지스터의 제2 전류 전극과 결합된 제2 전류 전극을 가지는 제5 트랜지스터, iii) 상기 제1 전원 전압과 결합된 제1 전류 전극을 가지는 제6 트랜지스터, iv) 상기 제5 트랜지스터의 제2 전류 전극 및 상기 제6 트랜지스터의 제어 전극과 결합된 제어 전극과, 상기 제6 트랜지스터의 제2 전류 전극에 결합된 제2 전류 전극과, 상기 제2 전원 전압과 결합된 제1 전류 전극을 가지는 제7 트랜지스터를 포함하는 래치부;

i) 상기 제1 입력 신호와 반전된 위상을 가지는 제2 입력 신호를 입력받는 제어 전극과, 상기 제1 전원 전압에 결합된 제1 전류 전극을 가지는 제8 트랜지스터, ii) 상기 제8 트랜지스터의 제2 전류 전극과 결합된 제1 전류 전극과, 상기 제3 트랜지스터의 제2 전류 전극과 결합된 제어 전극을 가지는 제9 트랜지스터, iii) 상기 제2 입력 신호를 입력받는 제어 전극과, 상기 제2 전원 전압과 결합된 제1 전류 전극과, 상기 제9 트랜지스터의 제2 전류 전극과 결합된 제2 전류 전극을 가지는 제10 트랜지스터로 이루어지는 제2 레벨 쉬프팅부를 포함하는 것을 특징으로 하는 레벨 쉬프터.

**【청구항 22】**

제21항에 있어서, 상기 제1 레벨 쉬프팅부는

상기 제2 입력 신호를 입력받는 제어 전극과, 상기 제3 트랜지스터의 제2 전류 전극에 결합된 제1 전류 전극과, 상기 제1 트랜지스터의 제2 전류 전극과 결합된 제2 전류 전극을 가지는 제11 NMOS 트랜지스터를 더 포함하는 것을 특징으로 하는 레벨 쉬프터.

**【청구항 23】**

제21항에 있어서, 상기 제2 레벨 쉬프팅부는

상기 제1 입력 신호를 입력받는 제어 전극과, 상기 제2 트랜지스터의 제어 전극 및 상기 제10 트랜지스터의 제2 전류 전극에 결합된 제1 전류 전극과, 상기 제8 트랜지스터의 제2 전류 전극과 결합된 제2 전류 전극을 가지는 제12 트랜지스터를 더 포함하는 것을 특징으로 하는 레벨 쉬프터.

**【청구항 24】**

제21항에 있어서, 상기 레벨 쉬프터는 상기 제1 레벨 쉬프팅부의 제1 출력 신호와 상기 제2 레벨 쉬프팅부의 제2 출력 신호를 버퍼링하고 상기 제1 및 제2 출력 신호의 듀티비를 보상하는 출력 버퍼부를 더 포함하는 것을 특징으로 하는 레벨 쉬프터.

**【청구항 25】**

제24항에 있어서, 상기 출력 버퍼부는

i) 상기 제1 전원 전압에 결합된 제1 전류 전극과, 상기 제3 트랜지스터의 제2 전류 전극과 결합된 제어 전극을 가지는 제13 트랜지스터, ii) 상기 제2 전원 전압에 결합된 제1 전류

전극과, 상기 제13 트랜지스터의 제2 전류 전극에 결합된 제2 전류 전극과, 제13 트랜지스터의 제어 전극과 결합된 제어 전극을 가지는 제14 트랜지스터로 이루어지는 제1 인버터; 및

i) 상기 제1 전원 전압에 결합된 제1 전류 전극과, 상기 제10 트랜지스터의 제2 전류 전극과 결합된 제어 전극을 가지는 제15 트랜지스터, ii) 상기 제2 전원 전압에 결합된 제1 전류 전극과, 상기 제15 트랜지스터의 제2 전류 전극에 결합된 제2 전류 전극과, 상기 제15 트랜지스터의 제어 전극과 결합된 제어 전극을 가지는 제16 트랜지스터로 이루어지는 제2 인버터를 포함하는 것을 특징으로 하는 레벨 쉬프터.

#### 【청구항 26】

제25항에 있어서,

상기 제14 트랜지스터는 NMOS 트랜지스터이고, 상기 제13 트랜지스터는 PMOS 트랜지스터이며, 상기 제14 트랜지스터와 상기 제13 트랜지스터의 사이즈 비는 1:1인 것을 특징으로 하는 레벨 쉬프터.

#### 【청구항 27】

제25항에 있어서,

상기 제15 트랜지스터는 PMOS 트랜지스터이고, 상기 제16 트랜지스터는 NMOS 트랜지스터이며, 상기 제15 트랜지스터와 상기 제16 트랜지스터의 사이즈 비는 1:1인 것을 특징으로 하는 레벨 쉬프터.

#### 【청구항 28】

제21항에 있어서, 상기 제1 트랜지스터와 상기 제3 트랜지스터는 포화 영역에서 동작시 상기 제3 트랜지스터를 통하여 방전되는 전류가 상기 제1 트랜지스터에 충전되는 전류보다 큰

조건을 만족하도록 상기 제1 트랜지스터와 상기 제3 트랜지스터의 사이즈가 결정되는 것을 특징으로 하는 레벨 쉬프터.

【청구항 29】

제21항에 있어서, 제1 트랜지스터와 상기 제3 트랜지스터의 사이즈는 상기 제5 트랜지스터 또는 상기 제4 트랜지스터의 사이즈 보다 큰 값을 가지는 것을 특징으로 하는 레벨 쉬프터.

【청구항 30】

제21항에 있어서, 상기 제8 트랜지스터와 상기 제10 트랜지스터는 포화 영역에서 동작시 상기 제10 트랜지스터를 통하여 방전되는 전류가 상기 제8 트랜지스터에 충전되는 전류보다 큰 조건을 만족하도록 상기 제8 트랜지스터와 상기 제10 트랜지스터의 사이즈가 결정되는 것을 특징으로 하는 레벨 쉬프터.

【청구항 31】

제21항에 있어서, 제8 트랜지스터와 상기 제10 트랜지스터의 사이즈는 상기 제7 트랜지스터 또는 상기 제6 트랜지스터의 사이즈 보다 큰 값을 가지는 것을 특징으로 하는 레벨 쉬프터.

【청구항 32】

제1 전압 레벨과 제2 전압 레벨사이를 스윙하는 제1 입력 신호를 제1 스위칭 소자와 제2 스위칭 소자의 제어 전극을 통하여 입력받고, 제3 스위칭 소자의 제어 전극을 통하여 입력된 제2 정궤환 신호에 응답하여 상기 제2 스위칭 소자를 통해 흐르는 전류를 제어함으로써, 상기

제1 전압 레벨과 상기 제2 전압 레벨보다 큰 제3 전압 레벨 사이를 스윙하는 제1 출력 신호의 상승 속도 또는 하강 속도를 증가시켜 출력하는 제1 레벨 쉬프팅부;

상기 제1 입력 신호와 반전된 위상을 가지는 제2 입력 신호를 제4 스위칭 소자와 제5 스위칭 소자의 제어 전극을 통하여 입력받고, 제6 스위칭 소자의 제어 전극을 통하여 입력된 제1 정제환 신호에 응답하여 상기 제 5 스위칭 소자를 통해 흐르는 전류를 제어함으로써, 상기 제1 출력 신호와 반전된 위상을 가지고 상기 제1 전압 레벨과 상기 제3 전압 레벨 사이를 스윙하는 제2 출력 신호의 상승 속도 또는 하강 속도를 증가시켜 출력하는 제2 레벨 쉬프팅부; 및

상기 제1 출력 신호 및 상기 제2 출력 신호를 입력받아 래치하여 상기 제1 정제환 신호 및 상기 제2 정제환 신호로서 상기 제2 레벨 쉬프터 및 상기 제1 레벨 쉬프팅부로 각각 제공하는 래치부를 포함하는 저전압 레벨의 신호를 고전압 레벨의 신호로 변환하는 레벨 쉬프터.

#### 【청구항 33】

제32항에 있어서, 상기 레벨 쉬프터는 상기 제1 레벨 쉬프팅부의 제1 출력 신호와 상기 제2 레벨 쉬프팅부의 제2 출력 신호를 버퍼링하고 상기 제1 및 제2 출력 신호의 듀티비를 보상하는 출력 버퍼부를 더 포함하는 것을 특징으로 하는 레벨 쉬프터.

#### 【청구항 34】

제32항에 있어서, 상기 제1 레벨 쉬프팅부는

상기 제2 입력 신호를 입력받는 제어 전극을 가지고, 상기 제1 스위칭 소자의 제2 전류 전극 및 상기 제2 스위칭 소자의 제2 전류 전극 사이에서 상기 제3 스위칭 소자의 제1 전류 전극 및 제2 전류 전극과 병렬 결합된 제7 스위칭 소자를 더 포함하는 레벨 쉬프터.

## 【청구항 35】

제34항에 있어서, 상기 제2 레벨 쉬프트부는

상기 제1 입력 신호를 입력받는 제어 전극을 가지고, 상기 제4 스위칭 소자의 제2 전류 전극 및 상기 제5 스위칭 소자의 제2 전류 전극 사이에서 상기 제6 스위칭 소자의 제1 전류 전극 및 제2 전류 전극과 병렬 결합된 제8 스위칭 소자를 더 포함하는 레벨 쉬프터.

## 【청구항 36】

제32항에 있어서, 상기 래치부는

제1 CMOS 인버터와 제2 CMOS 인버터로 이루어진 CMOS 크로스-커플드 페어 래치를 포함하는 것을 특징으로 하는 레벨 쉬프터.

## 【청구항 37】

제1 전압 레벨과 제2 전압 레벨사이를 스윙하는 제1 입력 신호에 응답하여 실질적으로 상기 제1 전압 레벨에 상응하는 제3 전압 레벨로 제1 출력단의 전압을 풀다운시키는 제1 풀다운부;

상기 제2 전압 레벨 보다 큰 제4 전압 레벨을 가지는 제1 전원 전압과 제2 정궤환 신호를 이용하여 실질적으로 상기 제4 전원 전압 레벨에 상응하는 제5 전압 레벨로 상기 제1 출력단의 전압을 풀업시키는 제1 풀업부;

상기 제1 입력 신호와 반전된 위상을 가지는 제2 입력 신호에 응답하여 상기 제3 전압 레벨로 제2 출력단의 전압을 풀다운시키는 제2 풀다운부;

상기 제1 전원 전압과 제2 정궤환 신호를 이용하여 상기 제5 전압 레벨로 상기 제2 출력단의 전압을 풀업시키는 제2 풀업부; 및



상기 제1 출력단의 전압 및 상기 제2 출력단의 전압을 입력받아 래치하여 상기 제1 정제환 신호 및 제2 정제환 신호를 각각 상기 제2 풀업부 및 상기 제1 풀업부로 제공하는 래치부를 포함하는 것을 특징으로 하는 레벨 쉬프터.

**【청구항 38】**

제37항에 있어서, 상기 래치부는

제1 CMOS 인버터와 제2 CMOS 인버터로 이루어진 CMOS 크로스-커플드 페어 래치를 포함하는 것을 특징으로 하는 레벨 쉬프터.

**【청구항 39】**

제38항에 있어서, 상기 제1 출력단은 상기 제1 CMOS 인버터의 출력단 및 상기 제2 CMOS 인버터의 입력단에 결합되는 것을 특징으로 하는 레벨 쉬프터.

**【청구항 40】**

제39항에 있어서, 상기 제1 풀업부는

상기 제1 입력 신호를 입력받는 제어 전극과, 상기 제1 전원 전압을 입력받는 제1 전류 전극과, 제2 전류 전극을 포함하는 제1 PMOS 트랜지스터; 및

상기 래치부의 제1 CMOS 인버터의 입력단에 결합된 제어 전극과, 상기 제1 PMOS 트랜지스터의 제2 전류 전극에 결합되는 제1 전류 전극과, 제2 전류 전극을 가지는 제2 PMOS 트랜지스터를 포함하는 것을 특징으로 하는 레벨 쉬프터.

**【청구항 41】**

제40항에 있어서, 상기 제1 풀업부는



상기 제2 입력 신호를 입력받는 제어 전극과, 상기 제2 PMOS 트랜지스터의 제2 전류 전극에 결합된 제1 전류 전극과, 상기 제1 PMOS 트랜지스터의 제2 전류 전극과 결합된 제2 전류 전극을 가지는 제1 NMOS 트랜지스터를 더 포함하는 것을 특징으로 하는 레벨 쉬프터.

【청구항 42】

제41항에 있어서, 상기 제1 풀다운부는

상기 제1 입력 신호를 입력받는 제어 전극과, 실질적으로 상기 제1 전압 레벨을 가지는 제2 전원 전압을 입력받는 제1 전류 전극과, 상기 제2 PMOS 트랜지스터의 제2 전류 전극에 결합된 제2 전류 전극을 가지는 제2 NMOS 트랜지스터를 포함하는 것을 특징으로 하는 레벨 쉬프터.

【청구항 43】

제42항에 있어서, 상기 제1 PMOS 트랜지스터와 상기 제2 NMOS 트랜지스터는 포화 영역에서 동작시 상기 제2 NMOS 트랜지스터를 통하여 방전되는 전류가 상기 제1 PMOS 트랜지스터에 충전되는 전류보다 큰 조건을 만족하도록 상기 제1 PMOS 트랜지스터와 상기 제2 NMOS 트랜지스터의 사이즈가 결정되는 것을 특징으로 하는 레벨 쉬프터.

【청구항 44】

제43항에 있어서, 제1 PMOS 트랜지스터와 상기 제2 NMOS 트랜지스터의 사이즈는 상기 제1 CMOS 인버터를 구성하는 트랜지스터들의 사이즈보다 큰 값을 가지는 것을 특징으로 하는 레벨 쉬프터.

**【청구항 45】**

제38항에 있어서, 상기 제2 출력단은 상기 제1 CMOS 인버터의 입력단 및 상기 제2 CMOS 인버터의 출력단에 결합되는 것을 특징으로 하는 레벨 쉬프터.

**【청구항 46】**

제39항에 있어서, 상기 제2 풀업부는

상기 제2 입력 신호를 입력받는 제어 전극과, 상기 제1 전원 전압을 입력받는 제1 전류 전극과, 제2 전류 전극을 포함하는 제1 PMOS 트랜지스터; 및

상기 래치부의 제2 CMOS 인버터의 입력단에 결합된 제어 전극과, 상기 제1 PMOS 트랜지스터의 제2 전류 전극에 결합되는 제1 전류 전극과, 제2 전류 전극을 가지는 제2 PMOS 트랜지스터를 포함하는 레벨 쉬프터.

**【청구항 47】**

제46항에 있어서, 상기 제2 풀업부는

상기 제1 입력 신호를 입력받는 제어 전극과, 상기 제2 PMOS 트랜지스터의 제2 전류 전극에 결합된 제1 전류 전극과, 상기 제1 PMOS 트랜지스터의 제2 전류 전극과 결합된 제2 전류 전극을 가지는 제1 NMOS 트랜지스터를 더 포함하는 것을 특징으로 하는 레벨 쉬프터.

**【청구항 48】**

제47항에 있어서, 상기 제2 풀다운부는

상기 제2 입력 신호를 입력받는 제어 전극과, 실질적으로 상기 제1 전압 레벨을 가지는 제2 전원 전압을 입력받는 제1 전류 전극과, 상기 제2 PMOS 트랜지스터의 제2 전류 전극에 결

합된 제2 전류 전극을 가지는 제2 NMOS 트랜지스터를 더 포함하는 것을 특징으로 하는 레벨 쉬프터.

【청구항 49】

제37항에 있어서, 상기 레벨 쉬프터는 상기 제1 출력단의 전압과 상기 제2 출력단의 전압을 버퍼링하여 듀티비를 보상하는 출력 버퍼부를 더 포함하는 것을 특징으로 하는 레벨 쉬프터.

【청구항 50】

제49항에 있어서, 상기 출력 버퍼부는

제 1 PMOS 트랜지스터와 제1 NMOS 트랜지스터로 이루어지는 제1 인버터; 및

제2 PMOS 트랜지스터와 제2 NMOS 트랜지스터로 이루어지는 제2 인버터를 포함하는 것을 특징으로 하는 레벨 쉬프터.

【청구항 51】

제50항에 있어서,

상기 제1 NMOS 트랜지스터와 상기 제1 PMOS 트랜지스터의 사이즈 비는 1:1인 것을 특징으로 하는 레벨 쉬프터.

【청구항 52】

제1 전압 레벨과 제2 전압 레벨 사이를 스윙하는 입력 신호를 입력받아 상기 제1 전압 레벨과 상기 제2 전압 레벨보다 큰 제3 전압 레벨 사이를 스윙하는 출력 신호를 제공하되, 정제환 신호에 응답하여 상기 출력 신호의 상승 속도 또는 하강 속도를 증가시키는 정제환 동작을 수행하는 레벨 쉬프팅부; 및

상기 출력 신호를 입력받아 래치하여 상기 정제환 신호를 상기 레벨 쉬프터로 제공하는 래치부를 포함하는 저전압 레벨의 신호를 고전압 레벨의 신호로 변환하는 레벨 쉬프터.

【청구항 53】

제52항에 있어서, 상기 레벨 쉬프터부는

상기 정제환 신호의 상승 에지에 응답하여 상기 출력 신호의 하강 속도를 증가시키고, 상기 정제환 신호의 하강 에지에 응답하여 상기 출력 신호의 상승 속도를 증가시키는 정제환 동작을 통하여 상기 출력 신호를 출력하는 것을 특징으로 하는 레벨 쉬프터.

【청구항 54】

제52항에 있어서, 상기 래치부는

제1 CMOS 인버터와 제2 CMOS 인버터로 이루어진 CMOS 크로스-커플드 페어 래치를 포함하는 것을 특징으로 하는 레벨 쉬프터.

【청구항 55】

제54항에 있어서, 상기 레벨 쉬프터부는 상기 출력단을 통하여 상기 출력 신호를 출력하고, 상기 출력단은 상기 제1 CMOS 인버터의 출력단 및 상기 제2 CMOS 인버터의 입력단에 결합되는 것을 특징으로 하는 레벨 쉬프터.

【청구항 56】

제52항에 있어서, 상기 레벨 쉬프터는

상기 레벨 쉬프터부의 출력 신호를 버퍼링하고 상기 출력 신호의 듀티비를 보상하는 출력 버퍼부를 더 포함하는 것을 특징으로 하는 레벨 쉬프터.



## 【청구항 57】

제1 전압 레벨과 제2 전압 레벨사이를 스윙하는 제1 입력 신호를 입력받아 상기 제1 전압 레벨과 상기 제2 전압 레벨보다 큰 제3 전압 레벨 사이를 스윙하는 제1 출력 신호를 제공하는 단계;

상기 제1 입력 신호와 반전된 위상을 가지는 제2 입력 신호를 입력받아 상기 제1 출력 신호와 반전된 위상을 가지고 상기 제1 전압 레벨과 상기 제3 전압 레벨 사이를 스윙하는 제2 출력 신호를 제공하는 단계;

상기 제2 출력 신호 및 제1 출력 신호를 입력받아 래치하여 각각 제1 정제환 신호 및 제2 정제환 신호를 제공하는 단계;

상기 제2 정제환 신호에 응답하여 상기 제1 출력 신호의 상승 속도 또는 하강 속도를 증가시켜 제3 출력 신호로 출력하는 단계; 및

상기 제1 정제환 신호에 응답하여 상기 제2 출력 신호의 상승 속도 또는 하강 속도를 증가시켜 제4 출력 신호로 출력하는 단계를 포함하는 저전압 레벨의 신호를 고전압 레벨의 신호로 변환하는 레벨 쉬프팅 방법.

## 【청구항 58】

제57항에 있어서, 상기 제3 출력 신호로 출력하는 단계는

상기 제2 정제환 신호의 상승 에지에 응답하여 상기 제1 출력 신호의 하강 속도를 증가시키고, 상기 제2 정제환 신호의 하강 에지에 응답하여 상기 제1 출력 신호의 상승 속도를 증가시키는 정제환 동작을 통하여 상기 제3 출력 신호를 출력하는 것을 특징으로 하는 레벨 쉬프팅 방법.

## 【청구항 59】

제57항에 있어서, 상기 제4 출력 신호로 출력하는 단계는

상기 제1 정래환 신호의 하강 에지에 응답하여 상기 제2 출력 신호의 상승 속도를 증가시키고, 상기 제1 정래환 신호의 상승 에지에 응답하여 상기 제2 출력 신호의 하강 속도를 증가시키는 정래환 동작을 통하여 상기 제4 출력 신호를 출력하는 것을 특징으로 하는 레벨 쉬프팅 방법.

## 【청구항 60】

제57항에 있어서,

상기 제3 출력 신호 및 제4 출력 신호를 버퍼링하고 상기 제3 출력 신호 및 제4 출력 신호의 듀티비를 보상하는 단계를 더 포함하는 것을 특징으로 하는 레벨 쉬프팅 방법.

## 【청구항 61】

제1 전압 레벨과 제2 전압 레벨사이를 스윙하는 입력 신호를 입력받아 상기 제1 전압 레벨과 상기 제2 전압 레벨보다 큰 제3 전압 레벨 사이를 스윙하는 제1 출력 신호를 제공하는 단계;

상기 제1 출력 신호를 입력받아 래치하여 정래환 신호를 제공하는 단계; 및

상기 정래환 신호에 응답하여 상기 제1 출력 신호의 상승 속도 또는 하강 속도를 증가시켜 제2 출력 신호로 출력하는 단계를 포함하는 저전압 레벨의 신호를 고전압 레벨의 신호로 변환하는 레벨 쉬프팅 방법.

## 【청구항 62】

제61항에 있어서, 상기 제2 출력 신호로 출력하는 단계는



상기 정계환 신호의 상승 에지에 응답하여 상기 제1 출력 신호의 하강 속도를 증가시키고, 상기 정계환 신호의 하강 에지에 응답하여 상기 제1 출력 신호의 상승 속도를 증가시키는 정계환 동작을 통하여 상기 제2 출력 신호를 출력하는 것을 특징으로 하는 레벨 쉬프팅 방법.

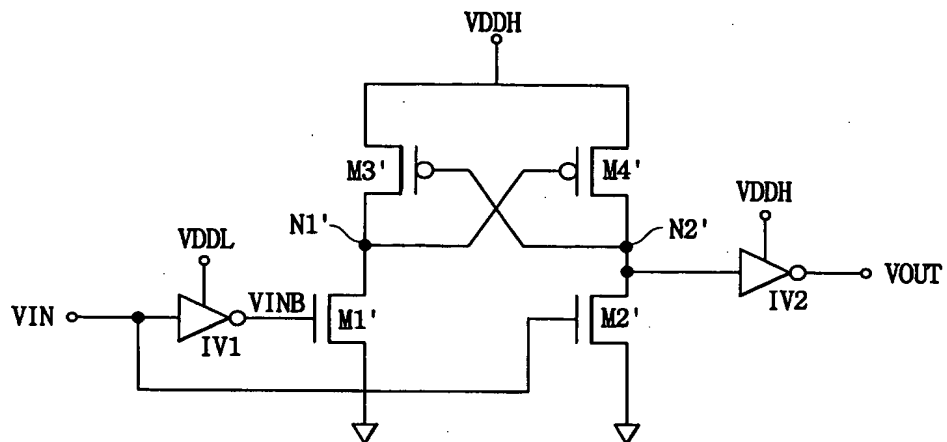
【청구항 63】

제61항에 있어서,

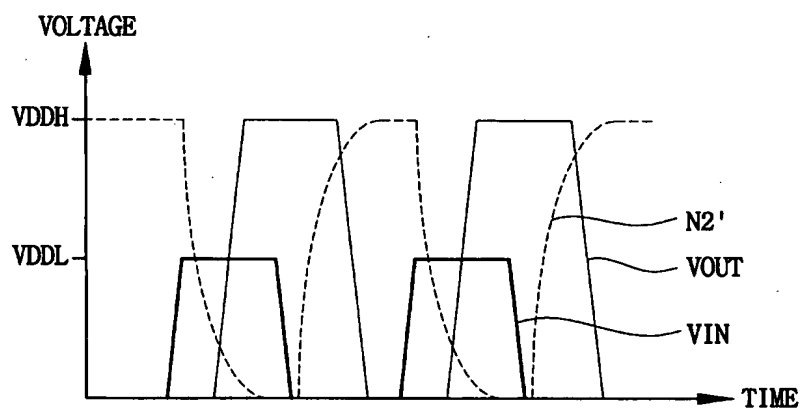
상기 제2 출력 신호를 버퍼링하고 상기 제2 출력 신호의 듀티비를 보상하는 단계를 더 포함하는 것을 특징으로 하는 레벨 쉬프팅 방법.

【도면】

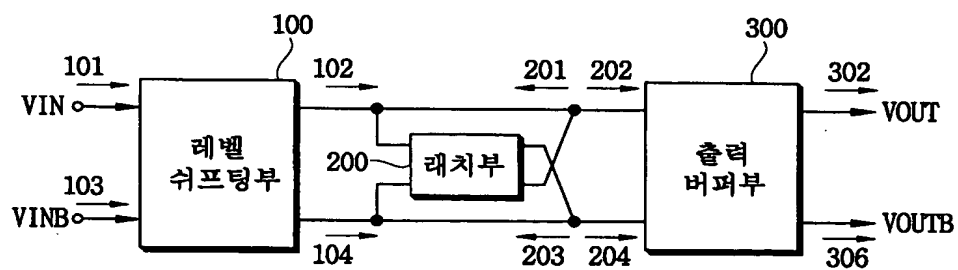
【도 1】



【도 2】

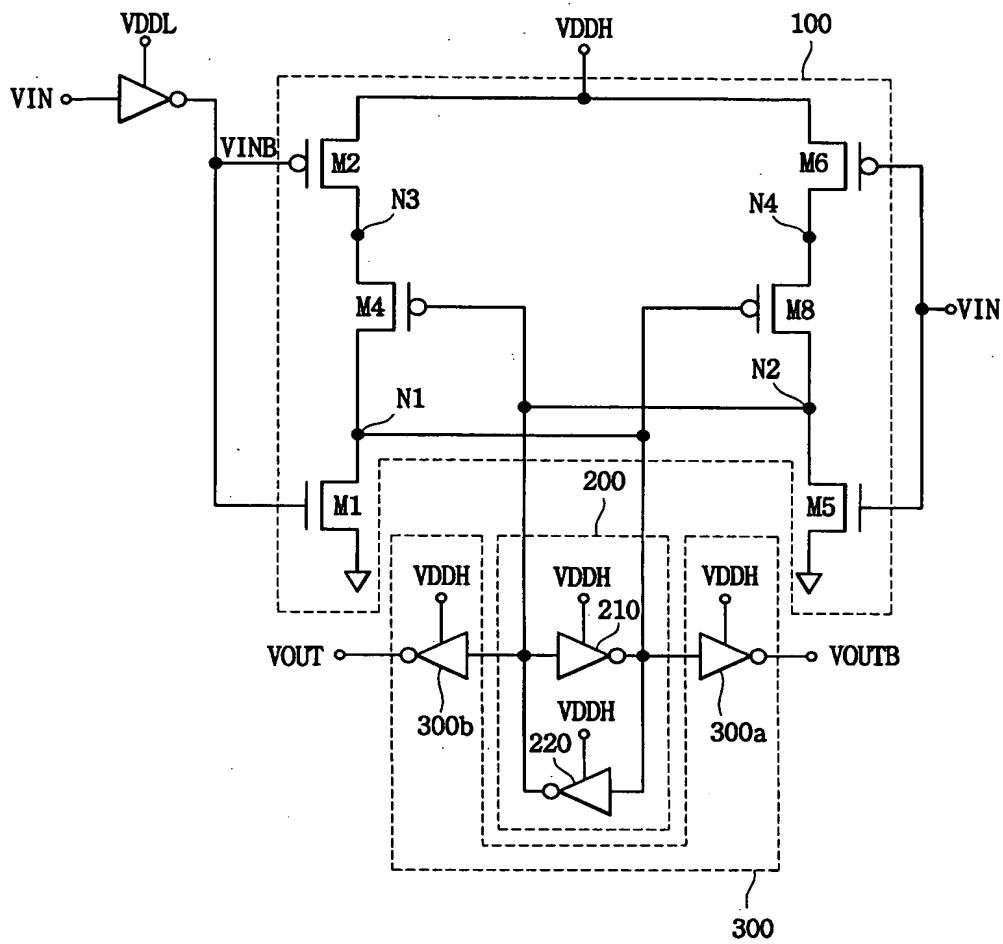


【도 3】

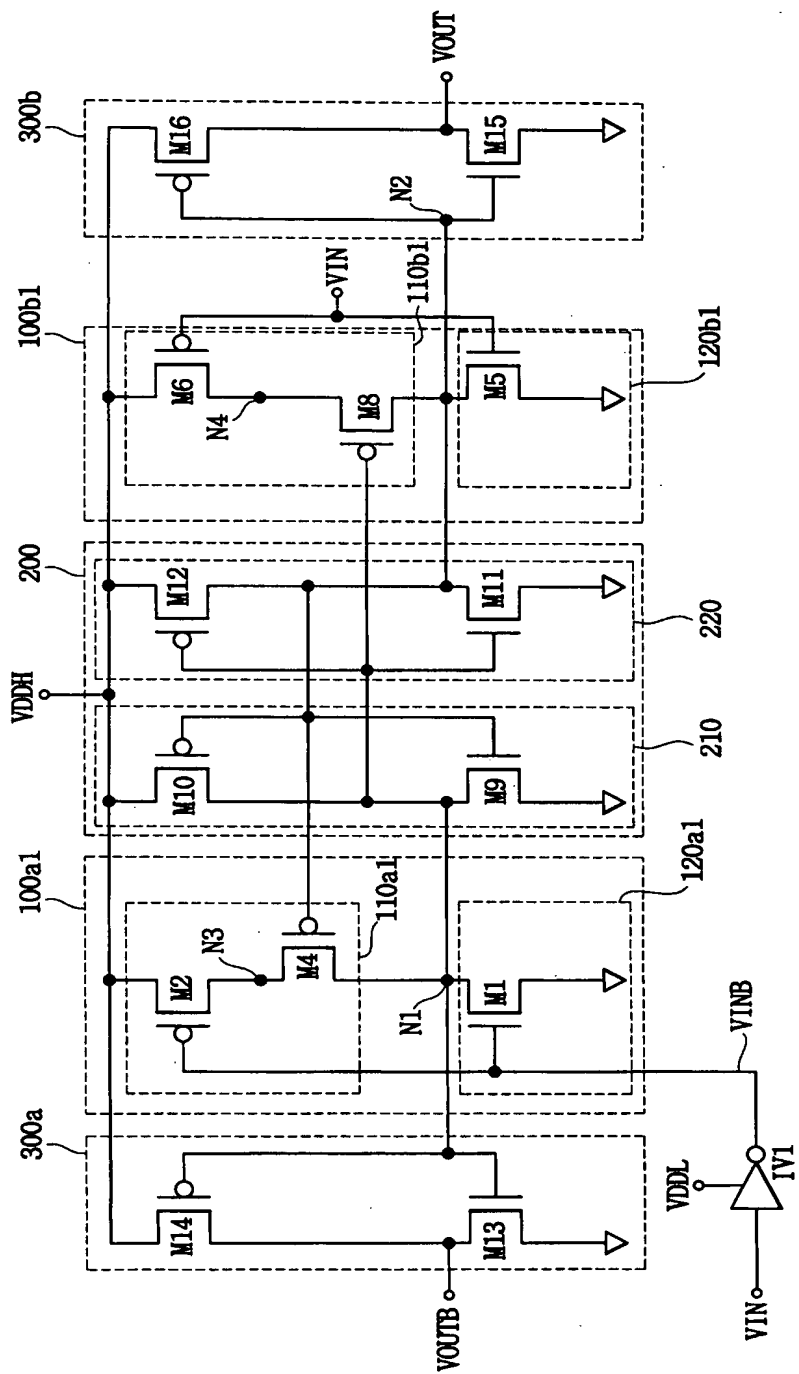




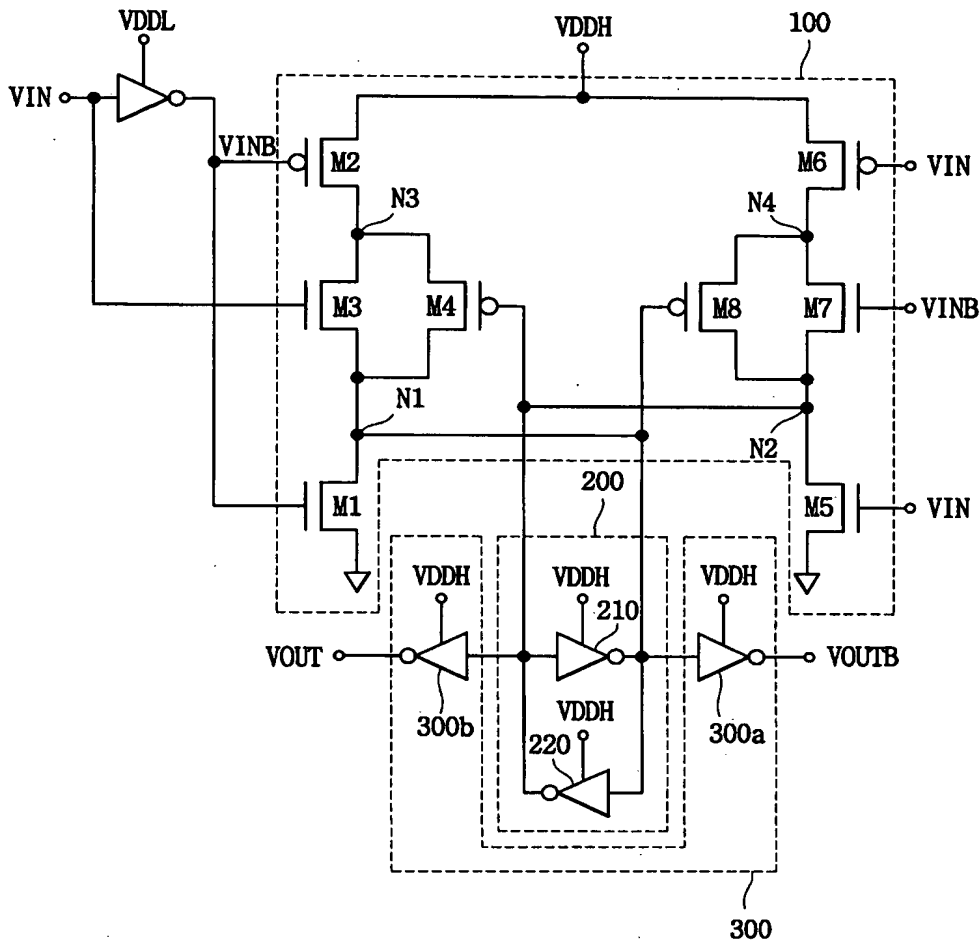
【도 4】



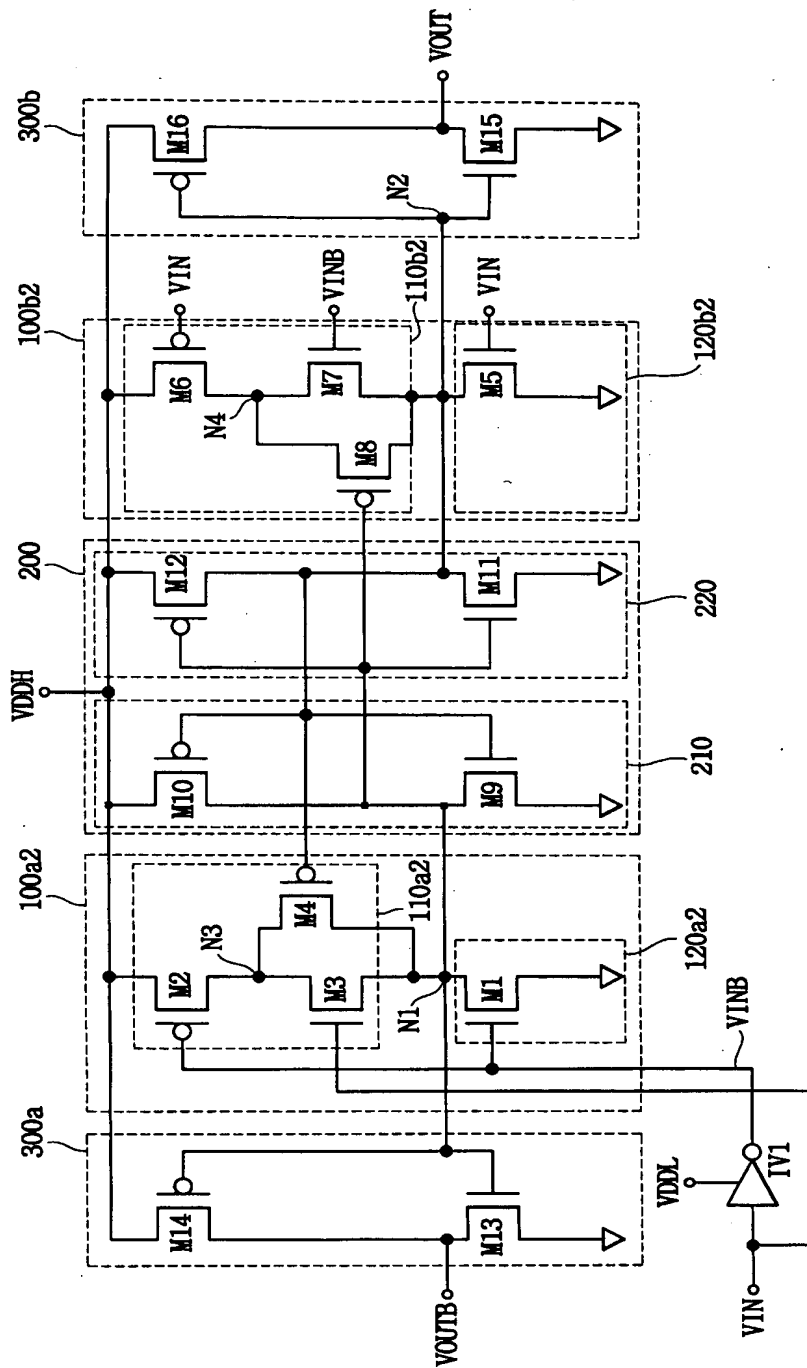
【도 5】



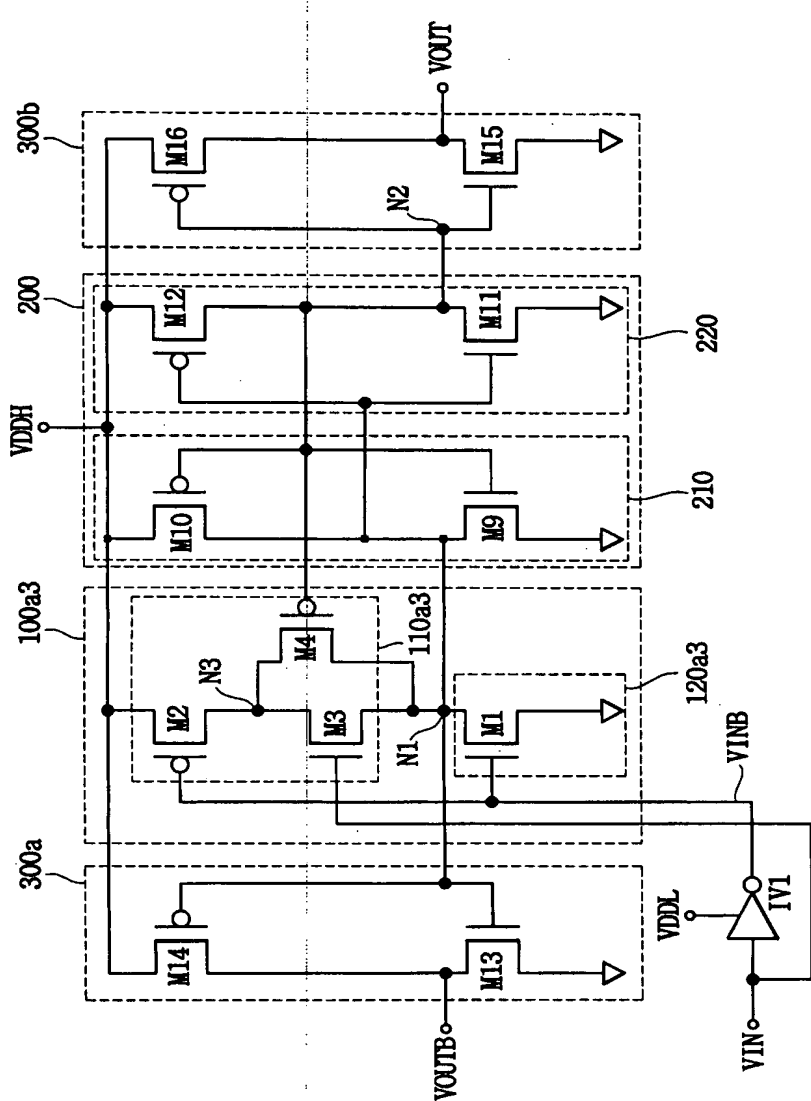
【도 6】



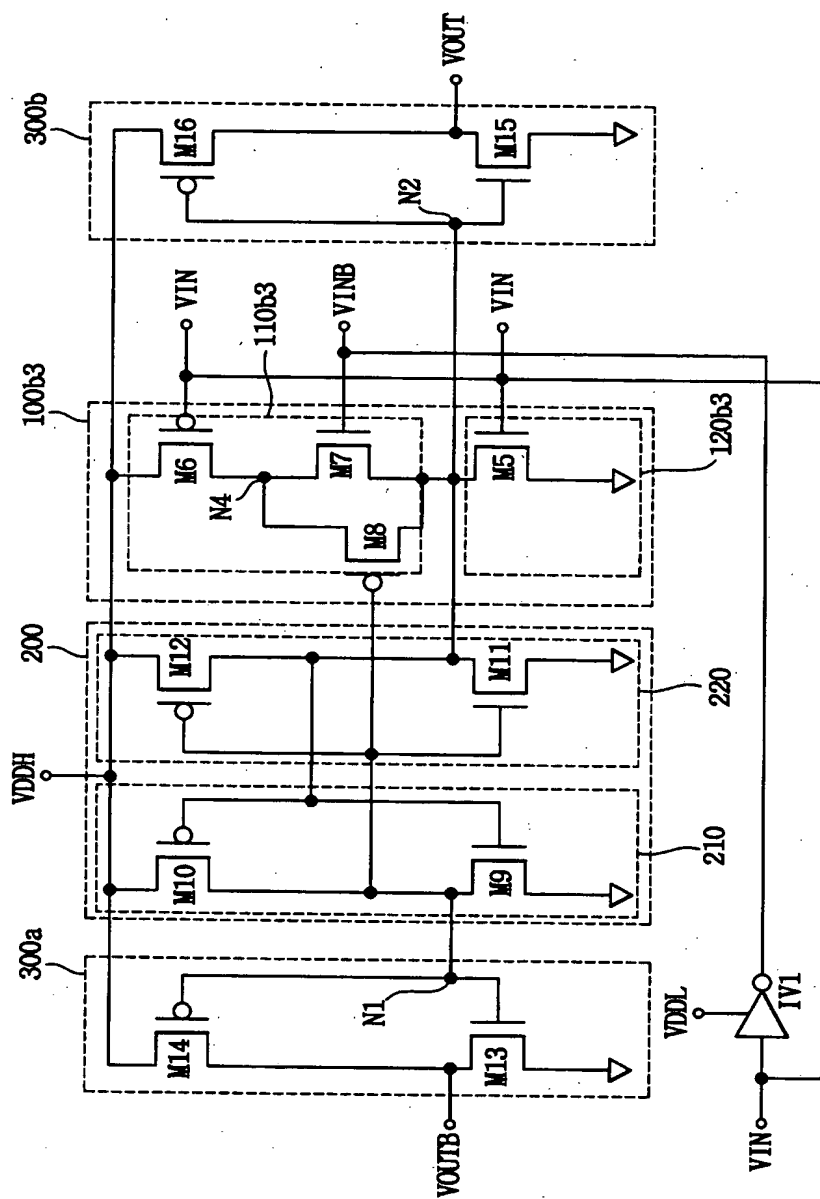
【도 7】



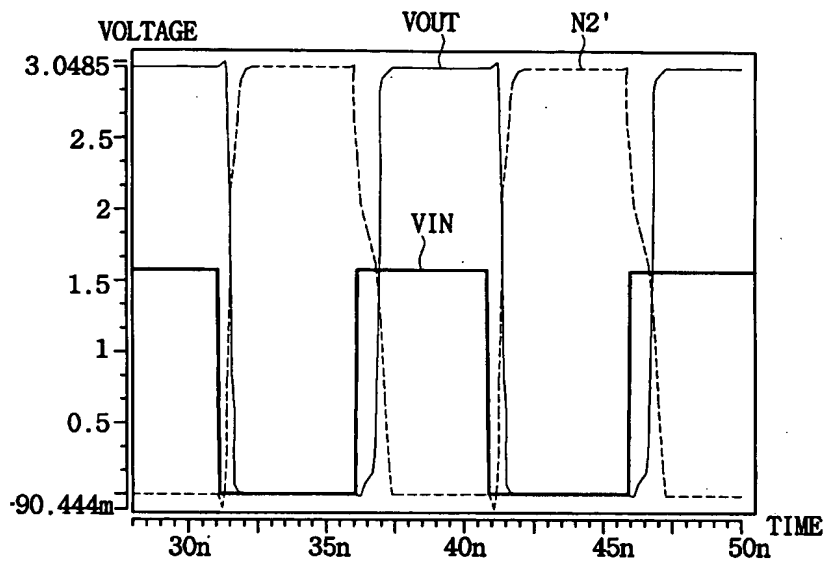
【도 8a】



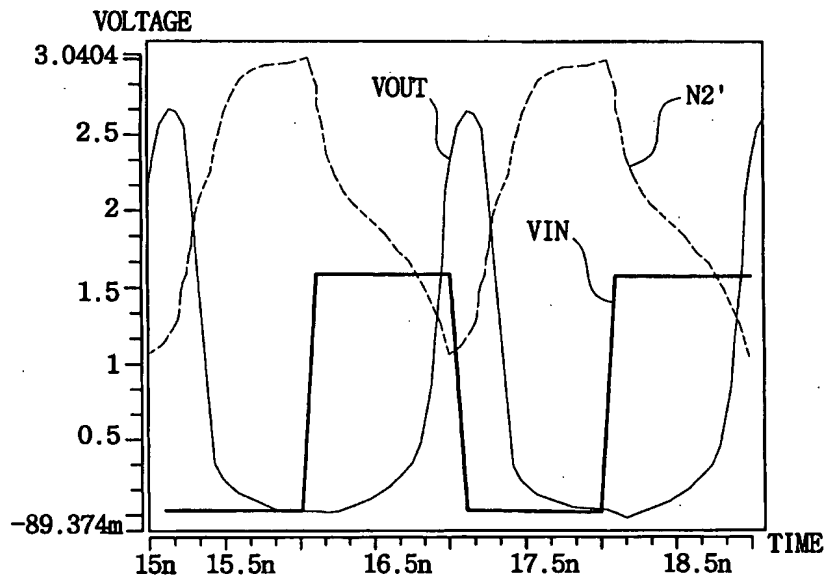
【도 8b】



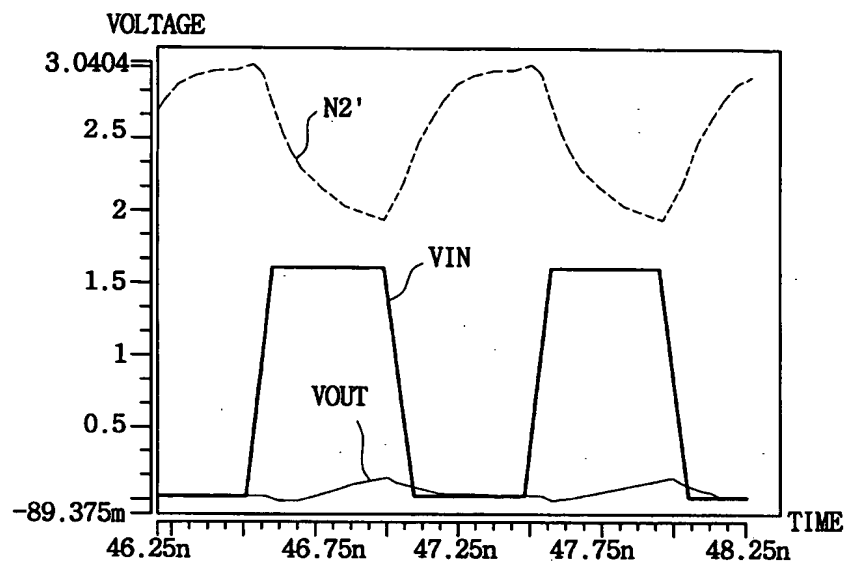
【도 9a】



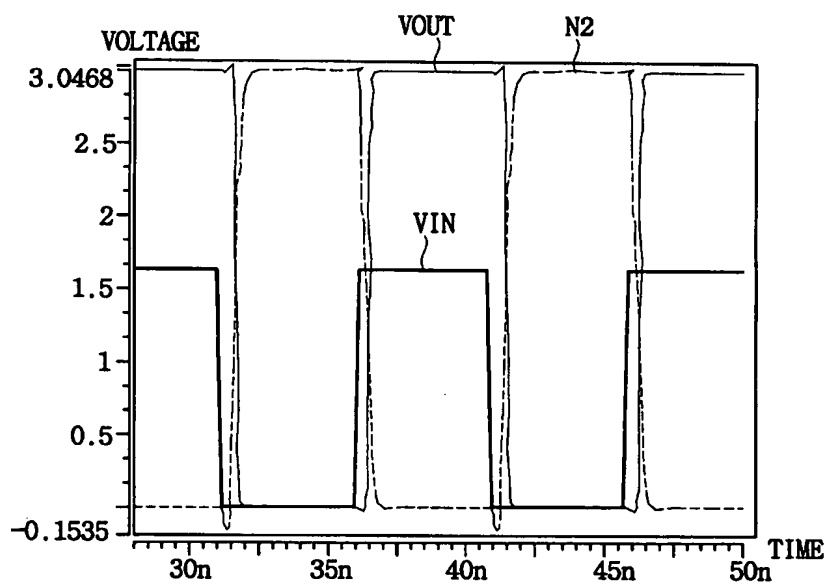
【도 9b】



【도 9c】

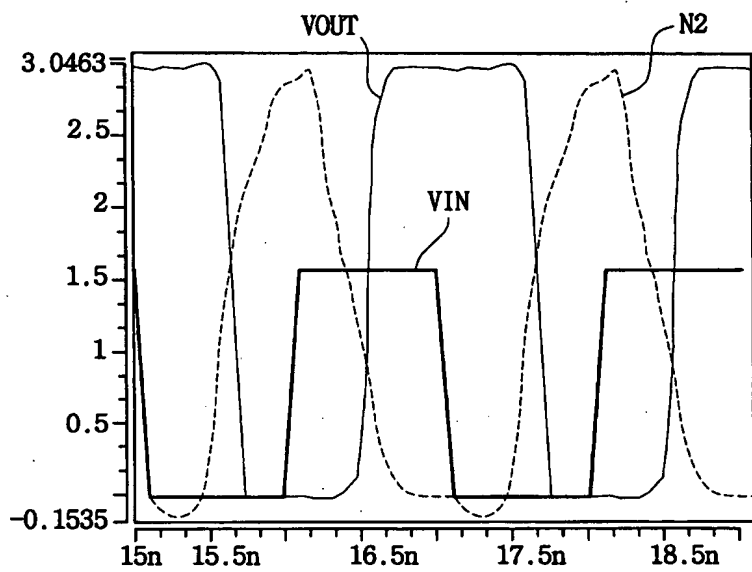


【도 10a】

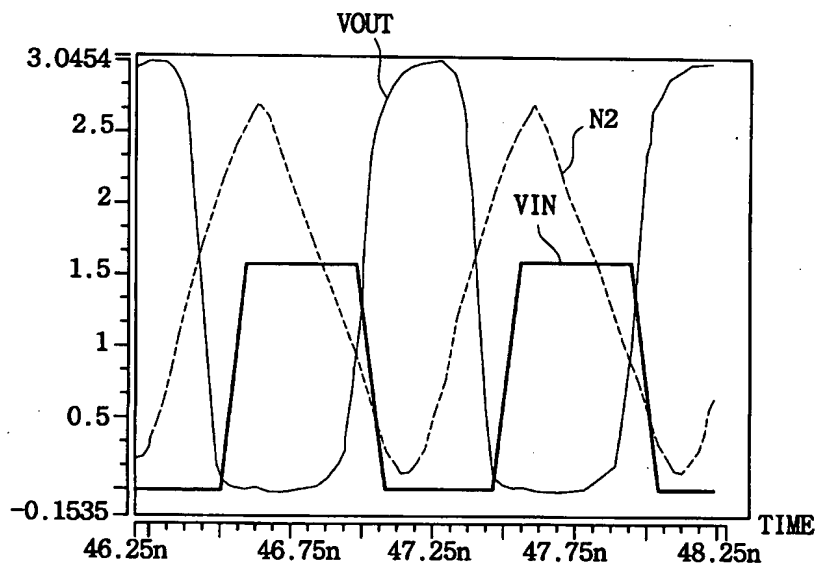




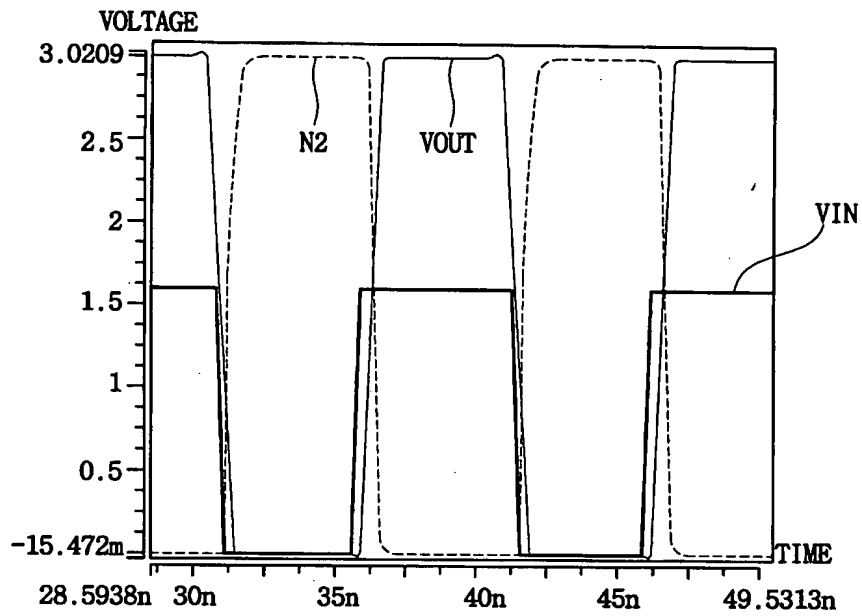
【도 10b】



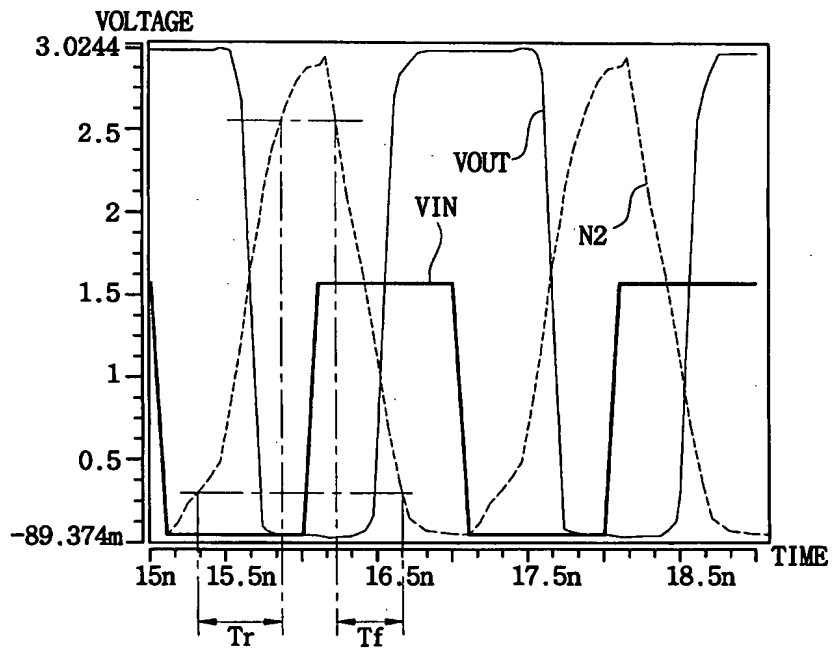
【도 10c】



【도 11a】



【도 11b】



【도 11c】

